

日本国特許庁

JAPAN PATENT OFFICE

2001-05-20

J1000 U.S. PTO
10/002009
12/05/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出願年月日

Date of Application:

2000年12月19日

出願番号

Application Number:

特願2000-386088

出願人

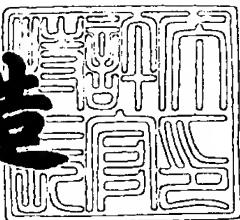
Applicant(s):

株式会社日立製作所

2001年 9月25日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3087822

【書類名】 特許願
【整理番号】 H00017601
【提出日】 平成12年12月19日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 27/10
【発明者】
【住所又は居所】 東京都小平市上水本町五丁目20番1号 株式会社日立
製作所 半導体グループ内
【氏名】 篠崎 雅雄
【発明者】
【住所又は居所】 東京都小平市上水本町五丁目20番1号 株式会社日立
製作所 半導体グループ内
【氏名】 秋岡 隆志
【発明者】
【住所又は居所】 東京都小平市上水本町五丁目20番1号 株式会社日立
製作所 半導体グループ内
【氏名】 光本 欽哉
【特許出願人】
【識別番号】 000005108
【氏名又は名称】 株式会社日立製作所
【代理人】
【識別番号】 100080001
【弁理士】
【氏名又は名称】 筒井 大和
【電話番号】 03-3366-0787
【手数料の表示】
【予納台帳番号】 006909
【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項1】 半導体基板の正面の第1領域に複数の第1MOSトランジスタで構成された入力回路または出力回路を備え、前記半導体基板の正面の第2領域に複数の第2MOSトランジスタで構成された内部回路を備えた半導体装置であって、

前記入力回路または出力回路を構成する第1MOSトランジスタの第1ゲート電極と、前記第1MOSトランジスタのソース領域またはドレイン領域に配線を接続するための第1コンタクトホールとの間隔は、前記第1ゲート電極と前記第1コンタクトホールとの間隔の最小加工寸法よりも大きく、

前記内部回路を構成する第2MOSトランジスタの第2ゲート電極と、前記第2MOSトランジスタのソース領域またはドレイン領域に配線を接続するための第2コンタクトホールとの間隔は、前記第2ゲート電極と前記第2コンタクトホールとの間隔の最小加工寸法に等しいことを特徴とする半導体装置。

【請求項2】 半導体基板の正面の第1領域に複数の第1MOSトランジスタで構成された入力回路または出力回路を備え、前記半導体基板の正面の第2領域に複数の第2MOSトランジスタで構成された内部回路を備えた半導体装置であって、

前記入力回路または出力回路を構成する第1MOSトランジスタが形成された第1活性領域の端部と、前記第1MOSトランジスタのソース領域またはドレイン領域に配線を接続するための第1コンタクトホールとの間隔は、前記第1活性領域の端部と前記第1コンタクトホールとの間隔の最小加工寸法よりも大きく、

前記内部回路を構成する第2MOSトランジスタが形成された第2活性領域の端部と、前記第2MOSトランジスタのソース領域またはドレイン領域に配線を接続するための第2コンタクトホールとの間隔は、前記第2活性領域の端部と前記第2コンタクトホールとの間隔の最小加工寸法に等しいことを特徴とする半導体装置。

【請求項3】 請求項1または2記載の半導体装置において、前記入力回路

または出力回路を構成する第1MOSトランジスタに印加される電源電圧は、前記内部回路を構成する第2MOSトランジスタに印加される電源電圧に等しいことを特徴とする半導体装置。

【請求項4】 請求項3記載の半導体装置において、前記第1MOSトランジスタのゲート長は、前記第2MOSトランジスタのゲート長に等しいことを特徴とする半導体装置。

【請求項5】 請求項3記載の半導体装置において、前記第1MOSトランジスタのゲート絶縁膜厚は、前記第2MOSトランジスタのゲート絶縁膜厚に等しいことを特徴とする半導体装置。

【請求項6】 請求項3記載の半導体装置において、前記第1MOSトランジスタが形成された活性領域の面積は、前記第2MOSトランジスタが形成された活性領域の面積よりも大きいことを特徴とする半導体装置。

【請求項7】 請求項1または2記載の半導体装置において、前記入力回路または出力回路を構成する第1MOSトランジスタに印加される電源電圧は、前記内部回路を構成する第2MOSトランジスタに印加される電源電圧よりも大きいことを特徴とする半導体装置。

【請求項8】 外部電源電圧に応じて異なる電源電圧が印加される複数種類のMOSトランジスタを形成するための複数の工程を有する半導体装置の製造方法であって、前記複数の工程は、前記複数種類のMOSトランジスタに共通する工程と、前記複数種類のMOSトランジスタ毎に異なる工程とからなることを特徴とする半導体装置の製造方法。

【請求項9】 請求項8記載の半導体装置の製造方法において、前記複数の工程は、前記複数種類のMOSトランジスタに共通する第1工程と、前記第1工程に引き続く工程であって、前記複数種類のMOSトランジスタ毎に異なる第2工程と、前記第2工程に引き続く工程であって、前記複数種類のMOSトランジスタに共通する第3工程とからなることを特徴とする半導体装置の製造方法。

【請求項10】 請求項9記載の半導体装置の製造方法において、前記第2工程は、膜厚が互いに異なる複数種のゲート絶縁膜を形成する工程を含むことを特徴とする半導体装置の製造方法。

【請求項11】 請求項9記載の半導体装置の製造方法において、前記第2工程は、ゲート長が互いに異なる複数種のゲート電極を形成する工程を含むことを特徴とする半導体装置の製造方法。

【請求項12】 請求項11記載の半導体装置の製造方法において、前記複数種のゲート電極が形成される活性領域の面積は、互いに等しいことを特徴とする半導体装置の製造方法。

【請求項13】 請求項9記載の半導体装置の製造方法において、前記第2工程は、不純物濃度が互いに異なる複数種のチャネル形成領域を形成する工程を含むことを特徴とする半導体装置の製造方法。

【請求項14】 請求項9記載の半導体装置の製造方法において、前記第1工程は、半導体基板にウエルを形成する工程を含むことを特徴とする半導体装置の製造方法。

【請求項15】 請求項8記載の半導体装置の製造方法において、前記複数種類のMOSトランジスタは、入力回路または出力回路を構成するMOSトランジスタであることを特徴とする半導体装置の製造方法。

【請求項16】 第1半導体ウエハの主面に、複数の第1MOSトランジスタで構成され、第1外部電源電圧が供給される入力回路または出力回路を含む第1半導体装置を形成する工程と、

第2半導体ウエハの主面に、複数の第2MOSトランジスタで構成され、前記第1外部電源電圧と異なる第2外部電源電圧が供給される入力回路または出力回路を含み、前記第1半導体装置と同一機能を有する第2半導体装置を形成する工程とを具備する半導体装置の製造方法であって、

前記第1半導体ウエハの主面に前記第1MOSトランジスタを形成する複数の工程と、前記第2半導体ウエハの主面に前記第2MOSトランジスタを形成する複数の工程とは、

前記第1および第2MOSトランジスタに共通する第1工程と、前記第1工程に引き続く工程であって、前記第1MOSトランジスタと前記第2MOSトランジスタとで異なる第2工程と、前記第2工程に引き続く工程であって、前記第1および第2MOSトランジスタに共通する第3工程とからなることを特徴とする

半導体装置の製造方法。

【請求項17】 請求項16記載の半導体装置の製造方法において、前記第2工程は、膜厚が互いに異なる2種のゲート絶縁膜を形成する工程を含むことを特徴とする半導体装置の製造方法。

【請求項18】 請求項16記載の半導体装置の製造方法において、前記第2工程は、ゲート長が互いに異なる2種のゲート電極を形成する工程を含むことを特徴とする半導体装置の製造方法。

【請求項19】 請求項16記載の半導体装置の製造方法において、前記第2工程は、不純物濃度が互いに異なる2種のチャネル形成領域を形成する工程を含むことを特徴とする半導体装置の製造方法。

【請求項20】 請求項16記載の半導体装置の製造方法において、前記第1MOSトランジスタが形成される第1活性領域の面積は、前記第2MOSトランジスタが形成される第2活性領域の面積に等しく、

前記第1MOSトランジスタの第1ゲート電極と、前記第1MOSトランジスタのソース領域またはドレイン領域に配線を接続するための第1コンタクトホールとの間隔は、前記第1ゲート電極と前記第1コンタクトホールとの間隔の最小加工寸法よりも大きく、

前記第2MOSトランジスタの第2ゲート電極と、前記第2MOSトランジスタのソース領域またはドレイン領域に配線を接続するための第2コンタクトホールとの間隔は、前記第2ゲート電極と前記第2コンタクトホールとの間隔の最小加工寸法に等しいことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置およびその製造技術に関し、特に、複数の外部電源電圧仕様に対応した高速ICを有する半導体装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】

一般に、半導体チップに形成されたLSIに対して外部から供給される電源電圧の仕様は、LSIの機能が同一であっても1種類であるとは限らない。例えば高速化、低消費電力化のためには電源電圧を低くした仕様が有利であるが、LSIが使用されるシステムの電源電圧が市場において低電圧に切り替わる時期は明確でなく、ユーザや使用目的などによって相違する。また、システムによっては、信号ノイズなどを考慮してI/O(入出力)回路の電源電圧仕様を変更する場合もある。

【0003】

従って、LSIを製造するメーカーは、複数の外部電源電圧仕様に対応した同一機能のLSIを同時期に開発しなければならない。この場合、同一機能のLSIを電源電圧仕様毎に個別に開発したのでは設計作業が膨大となり、開発期間の長期化および製造コストの増大を招く。そのため、通常は、共通化が可能な回路は各仕様で可能な限り共通化し、設計の効率化を図ることが行われている。

【0004】

【発明が解決しようとする課題】

本発明者らは、同一の機能を有し、2種類の外部電源電圧仕様に対応することができるLSIの回路構成について検討した。以下は、本発明者が検討した技術であり、その概要は次の通りである。

【0005】

図29は、LSIに要求される電源電圧仕様の一例を示したものである。LSIに供給される2種類の外部電源電圧(VDD)を3.3Vおよび2.5Vとし、I/O(入出力)電源電圧(VDDQ)を3.3Vおよび2.5Vとする。I/O電源電圧(VDDQ)は、LSIに入力される入力信号レベルの最大値である。内部電源電圧(内部回路の電源電圧)(VDDI)は、いずれの仕様でも1.5Vとする。

【0006】

図30は、上記3種類の電源電圧(3.3V、2.5V、1.5V)に対応するように最適化されたMOSトランジスタのゲート絶縁膜厚(TOX)および最小加工ゲート長(Lg)の一例を示したものである。MOSトランジスタに印加さ

れる電源電圧が大きくなれば、耐圧を上げるためにゲート絶縁膜厚（TOX）が厚くなり、それに伴って最小加工ゲート長（Lg）が長くなる。

【0007】

図31は、図29に示す電源電圧仕様に対応したLSIの回路構成の一例である。LSI(000)は、入力回路(001)、降圧回路(002)、内部回路(101)および出力回路(003)によって構成される。外部電源電圧(VDD)は、降圧回路(002)によって内部電源電圧(VDDI)に降圧されて内部回路(101)に供給される。入力回路(001)および出力回路(003)には、外部電源電圧仕様によって異なるI/O電源電圧(VDDQ)および入力信号(IN)が直接印加される。

【0008】

上記の回路構成では、外部電源電圧(VDD)が3.3Vの場合でも2.5Vの場合でも、内部電源電圧(VDDI)が1.5Vとなるように降圧回路(002)を設計することにより、内部回路(101)の設計および製造プロセスを2種類のLSIで共通化することができる。すなわち、いずれのLSIも、内部回路(101)には1.5Vの電源電圧しか印加されないので、表2に示す1.5V耐圧仕様のMOSトランジスタを使って内部回路を構成することができる。

【0009】

一方、入力回路(001)および出力回路(003)は、I/O電源電圧(VDDQ)が高い場合(3.3V)でもゲート絶縁膜が破壊されないような耐圧を有するMOSトランジスタで構成し、同じ回路をI/O電源電圧(VDDQ)が低い場合(2.5V)でも使用する。すなわち、入力回路(001)および出力回路(003)は、3.3V仕様のLSIにおいても、2.5V仕様のLSIにおいても、表2に示すゲート絶縁膜厚(TOX) = 8nm、最小加工ゲート長(Lg) = 0.4μmの3.3V耐圧MOSトランジスタ(005)で構成する。

【0010】

図32は、上記回路構成をさらに詳細に示した図、図33は、この回路の内部動作波形を示している。入力回路(001)を構成するMOSトランジスタ(f01, f02)および出力回路(003)を構成するMOSトランジスタ(f0

3～f10)には、外部電源電圧仕様によって異なるI/O電源電圧(VDDQ)および入力信号(IN)が印加されるため、前述したように3.3V耐圧MOSトランジスタ(005)が使用される。

【0011】

しかし、この回路構成を採用した場合は、外部電源電圧(VDD)が2.5V仕様のLSIは、I/O電源電圧(VDDQ)が2.5Vになるため、MOSトランジスタ(005)のゲート-ソース間には、2.5Vの電圧しか印加されない。そのため、3.3Vに最適化されたMOSトランジスタ(f01～f10)の電流駆動能力が極端に低下し、入力回路(001)および出力回路(003)の遅延時間が増大するという問題が生じる。

【0012】

図34は、図29に示す電源電圧仕様に対応したLSIの回路構成の第2の例である。この例では、ゲート絶縁膜厚(TOX) = 8nm、最小加工ゲート長(Lg) = 0.4μmの3.3V耐圧MOSトランジスタ(005)で構成された入力回路(001a)および出力回路(003a)と、ゲート絶縁膜厚(TOX) = 6nm、最小加工ゲート長(Lg) = 0.3μmの2.5V耐圧MOSトランジスタ(006)で構成された入力回路(001b)および出力回路(003b)とをLSI(000)の内部に形成する。そして、3.3V仕様のLSIを製造する時には、配線形成工程で3.3V仕様の配線(010)を結線し、2.5V仕様のLSIを製造する時には、2.5V仕様の配線(011)を結線する。

【0013】

上記第2の回路構成を採用した場合は、外部電源電圧(VDD)が2.5V仕様のLSIにおいて、入力回路(001)および出力回路(003)の遅延時間が増大するという問題を回避することができる。しかし、2.5V仕様のLSIも3.3V仕様のLSIも、前述した第1の回路構成に比べて入出力回路の面積が約2倍になってしまふため、チップ面積が増大し、製造コストが増加するという問題が生じる。

【0014】

本発明の目的は、複数の電源電圧仕様に対応した半導体装置の高速動作を実現

する技術を提供することにある。

【0015】

本発明の他の目的は、複数の電源電圧仕様に対応した半導体装置の製造コストを低減する技術を提供することにある。

【0016】

本発明の他の目的は、複数の電源電圧仕様に対応した半導体装置の開発期間を短縮する技術を提供することにある。

【0017】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0018】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0019】

本発明の半導体装置は、半導体基板の主面の第1領域に複数の第1MOSトランジスタで構成された入力回路または出力回路を備え、前記半導体基板の主面の第2領域に複数の第2MOSトランジスタで構成された内部回路を備え、

前記入力回路または出力回路を構成する第1MOSトランジスタの第1ゲート電極と、前記第1MOSトランジスタのソース領域またはドレイン領域に配線を接続するための第1コンタクトホールとの間隔は、前記第1ゲート電極と前記第1コンタクトホールとの間隔の最小加工寸法よりも大きく、

前記内部回路を構成する第2MOSトランジスタの第2ゲート電極と、前記第2MOSトランジスタのソース領域またはドレイン領域に配線を接続するための第2コンタクトホールとの間隔は、前記第2ゲート電極と前記第2コンタクトホールとの間隔の最小加工寸法に等しいものである。

【0020】

本発明の半導体装置は、半導体基板の主面の第1領域に複数の第1MOSトランジスタで構成された入力回路または出力回路を備え、

前記半導体基板の主面の第2領域に複数の第2MOSトランジスタで構成された内部回路を備え、

前記入力回路または出力回路を構成する第1MOSトランジスタが形成された第1活性領域の端部と、前記第1MOSトランジスタのソース領域またはドレイン領域に配線を接続するための第1コンタクトホールとの間隔は、前記第1活性領域の端部と前記第1コンタクトホールとの間隔の最小加工寸法よりも大きく、

前記内部回路を構成する第2MOSトランジスタが形成された第2活性領域の端部と、前記第2MOSトランジスタのソース領域またはドレイン領域に配線を接続するための第2コンタクトホールとの間隔は、前記第2活性領域の端部と前記第2コンタクトホールとの間隔の最小加工寸法に等しいものである。

【0021】

本発明の半導体装置の製造方法は、外部電源電圧に応じて異なる電源電圧が印加される複数種類のMOSトランジスタを形成するための複数の工程を有する半導体装置を製造するに際し、前記複数の工程は、前記複数種類のMOSトランジスタに共通する工程と、前記複数種類のMOSトランジスタ毎に異なる工程とかなるものである。

【0022】

本発明の半導体装置の製造方法は、第1半導体ウエハの主面に、複数の第1MOSトランジスタで構成され、第1外部電源電圧が供給される入力回路または出力回路を含む第1半導体装置を形成する工程と、

第2半導体ウエハの主面に、複数の第2MOSトランジスタで構成され、前記第1外部電源電圧と異なる第2外部電源電圧が供給される入力回路または出力回路を含み、前記第1半導体装置と同一機能を有する第2半導体装置を形成する工程とを具備し、

前記第1半導体ウエハの主面に前記第1MOSトランジスタを形成する複数の工程と、前記第2半導体ウエハの主面に前記第2MOSトランジスタを形成する複数の工程は、前記第1および第2MOSトランジスタに共通する第1工程と、前記第1工程に引き続く工程であって、前記第1MOSトランジスタと前記第2MOSトランジスタとで異なる第2工程と、前記第2工程に引き続く工程であつ

て、前記第1および第2MOSトランジスタに共通する第3工程とからなるものである。

【0023】

【発明の実施の形態】

以下、本発明の実施の形態を図面を用いて詳述する。なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

【0024】

(実施の形態1)

図1は、本発明の一実施形態であるSRAM(Static Random Access Memory)が形成されたシリコンチップ1aの回路ブロック図である。このSRAMは、例えばワークステーションのキャッシュメモリなどに使用される8メガビット(Mbit)の記憶容量を有する高速SRAMであり、複数のメモリセルが形成されたメモリセルアレイ106、ロウデコーダ107、カラムデコーダ108、センスアンプ/ライトアンプ109、アドレスレジスタ110、データ出力レジスタ111およびデータ入力レジスタ112などによって構成された内部回路101と、アドレス入力回路102、データ入力回路103、データ出力回路104およびクロックバッファ105などによって構成された入出力回路とを備えている。入出力回路を構成するデータ入力回路103およびデータ出力回路104には、データ入出力パッドDQを通じてデータ信号が入出力される。アドレス入力回路102には、アドレス入力パッドADを通じてアドレス入力信号が入力される。クロックバッファ105には、クロック入力パッドCKを通じてクロック信号が入力される。

【0025】

上記シリコンチップ1aに形成されたSRAMは、図29に示す2種類(3.3Vおよび2.5V)の外部電源電圧(VDD)のうち、低い方の電圧(2.5V)が供給される仕様になっている。このSRAMに入力される入力信号レベルの最大値であるI/O電源電圧(VDDQ)は、外部電源電圧(VDD)と同じ2.5Vである。また、内部回路101は、高速化、低消費電力化のために、外部電源

電圧 (VDD) よりも低い1.5Vの内部電源電圧 (VDDI) で動作するようになっている。

【0026】

図2は、もう一つのシリコンチップ1bに形成された8メガビット高速SRA Mの回路ブロック図である。このSRA Mは、前記シリコンチップ1aに形成されたSRA Mと同一の機能を有し、かつ同一の集積度を有しているが、図29に示す2種類 (3.3Vおよび2.5V) の外部電源電圧 (VDD) のうち、高い方の電圧 (3.3V) が供給される仕様になっている。このSRA Mに入力される入力信号レベルの最大値であるI/O電源電圧 (VDDQ) は、外部電源電圧 (VD D) と同じ3.3Vである。また、内部回路101は、高速化、低消費電力化のために、外部電源電圧 (VDD) よりも低い1.5Vの内部電源電圧 (VDDI) で動作するようになっている。

【0027】

第1のシリコンチップ1aに形成されたSRA Mと第2のシリコンチップ1bに形成されたSRA Mは、入出力回路を構成するMOSトランジスタの一部が相違するだけであり、その他の回路は同じMOSトランジスタで構成されている。すなわち、シリコンチップ1aに形成されたSRA Mは、入出力回路を構成するMOSトランジスタが2.5Vの電源電圧で高速動作するように最適化されており、シリコンチップ1bに形成されたSRA Mは、入出力回路を構成するMOSトランジスタが3.3Vの電源電圧で高速動作するように最適化されている。また、これら2種のSRA Mは、外部電源電圧 (VDD) が3.3Vの場合でも2.5Vの場合でも、内部回路101に1.5Vの内部電源電圧 (VDDI) を供給する降圧回路を備えている。

【0028】

図3は、前記データ出力回路104の具体的な回路図であり、図4は、このデータ出力回路104の内部動作波形を示す図である。

【0029】

データ出力回路104を構成するMISトランジスタのうち、nチャネル型M OSトランジスタ (f32、f34、f36) およびpチャネル型MOSトラン

ジスタ (f 3 1、 f 3 3、 f 3 5、 f 3 7) には、外部電源電圧仕様によって異なる I/O 電源電圧 (VDDQ) が直接印加される。そのため、シリコンチップ 1 a に形成された MOS トランジスタ (f 3 1 ~ f 3 7) は、2. 5 V 耐圧の MOS トランジスタで構成されており、2. 5 V の I/O 電源電圧 (VDDQ) が供給されたときに高速動作するようになっている。一方、シリコンチップ 1 b に形成された MOS トランジスタ (f 3 1 ~ f 3 7) は、3. 3 V 耐圧 MOS トランジスタで構成されており、3. 3 V の I/O 電源電圧 (VDDQ) が供給されたときに高速動作するようになっている。データ出力回路 104 の他の MOS トランジスタは、2 種類の電源電圧 (2. 5 V、3. 3 V) で共用できるよう、シリコンチップ 1 a、1 b 共に、3. 3 V 耐圧の MOS トランジスタで構成されている。

【0030】

図 5 は、前記アドレス入力回路 102 およびデータ入力レジスタ 112 の具体的な回路図であり、図 6 は、このアドレス入力回路 102 に入力される入力信号 AD の波形を示す図である。

【0031】

図 6 に示すように、アドレス入力信号 AD は、通常はリファレンス基準電圧 (VREF) との間に生じる小振幅の信号であるが、入力振幅が最大のときには I/O 電源電圧 (VDDQ) と同じ電圧となる。従って、シリコンチップ 1 a に形成された MOS トランジスタ (f 2 1 および f 2 2) は、2. 5 V 耐圧 MOS トランジスタで構成され、2. 5 V の I/O 電源電圧 (VDDQ) が供給されたときに高速動作するようになっている。一方、シリコンチップ 1 b に形成された MOS トランジスタ (f 2 1 および f 2 2) は、3. 3 V 耐圧 MOS トランジスタで構成され、3. 3 V の I/O 電源電圧 (VDDQ) が供給されたときに高速動作するようになっている。

【0032】

図 7 (a) は、シリコンチップ 1 b に形成された 3. 3 V 耐圧 MOS トランジスタの平面図、図 7 (b) は、同じくシリコンチップ 1 b に形成された 1. 5 V 耐圧 MOS トランジスタの平面図である。3. 3 V 耐圧 MOS トランジスタおよび 1. 5 V 耐圧 MOS トランジスタのそれぞれは、図 30 に示すゲート絶縁膜厚

(TOX) および最小ゲート長 (L_g) を有している。3. 3 V耐圧MOSトランジスタは、微細化を推進するために、ソース、ドレイン領域と配線とを接続するためのコンタクトホール17とゲート電極8bとの間隔が、この間隔の最小加工寸法 (a) で形成されている。また、1. 5 V耐圧MOSトランジスタも、同様の理由から、ソース、ドレイン領域と配線とを接続するためのコンタクトホール16とゲート電極8cとの間隔が、この間隔の最小加工寸法 (a) で形成されている。

【0033】

図8 (a) は、シリコンチップ1aに形成された2. 5 V耐圧MOSトランジスタの平面図、図8 (b) は、同じくシリコンチップ1aに形成された1. 5 V耐圧MOSトランジスタの平面図である。2. 5 V耐圧MOSトランジスタおよび1. 5 V耐圧MOSトランジスタのそれぞれは、表2に示すゲート絶縁膜厚 (TOX) および最小ゲート長 (L_g) を有している。

【0034】

SRAMの内部回路101を構成する1. 5 V耐圧MOSトランジスタは、シリコンチップ1a、1bで共通の構造になっている。すなわち、シリコンチップ1aに形成された1. 5 V耐圧MOSトランジスタとシリコンチップ1bに形成された1. 5 V耐圧MOSトランジスタは、同一の面積を有する活性領域31に形成され、同一のゲート絶縁膜厚 (TOX) およびゲート長 (L_g) を有している。また、ソース、ドレイン領域と配線とを接続するためのコンタクトホール16とゲート電極8cとの間隔も同一であり、いずれもこの間隔の最小加工寸法 (a) で形成されている。

【0035】

一方、シリコンチップ1aに形成された2. 5 V耐圧MOSトランジスタとシリコンチップ1bに形成された3. 3 V耐圧MOSトランジスタは、同一の面積を有する活性領域30に形成されているが、互いのゲート絶縁膜厚 (TOX) およびゲート長 (L_g) が異なっている。そのため、3. 3 V耐圧MOSトランジスタのコンタクトホール17とゲート電極8bとの間隔を、この間隔の最小加工寸法 (a) で形成した場合、それよりもゲート長 (L_g) が短い2. 5 V耐圧MO

Sトランジスタは、コンタクトホール17とゲート電極8aとの間隔が、この間隔の最小加工寸法(a)よりも α だけ大きくなる。ここで、 α は、3.3V耐圧MOSトランジスタの最小加工ゲート長(Lg)と2.5V耐圧MOSトランジスタの最小加工ゲート長(Lg)との差の2分の1である。

【0036】

次に、上記した3.3V仕様のSRAMと2.5V仕様のSRAMの製造方法を図9～図23を用いて説明する。

【0037】

まず、図9に示すように、例えば $1 \sim 10 \Omega \text{ cm}$ 程度の比抵抗を有するp型の単結晶シリコンからなるシリコンウエハ(以下、基板ともいう)1の主面に素子分離溝2を形成する。素子分離溝2は、基板1の素子分離領域をエッティングして溝を形成し、続いて溝の内部を含む基板1上にCVD法で酸化シリコン膜3を堆積した後、化学機械研磨(CMP)法を用いて溝の外部の酸化シリコン膜3を研磨、除去することによって形成する。

【0038】

次に、図10に示すように、基板1の一部にn型不純物(例えばリン)をイオン注入し、他の一部にp型不純物(ホウ素)をイオン注入した後、基板1を熱処理して上記不純物を拡散させることにより、基板1の一部にp型ウエル4を形成し、他の一部にn型ウエル5を形成する。

【0039】

本実施形態の製造方法は、上記ウエル(p型ウエル4、n型ウエル5)の形成が完了したシリコンウエハ1をロット単位で多数枚保管しておく。そして、3.3V仕様のSRAMと2.5V仕様のSRAMのそれぞれの生産数量が確定した後、これらのシリコンウエハ1を2.5V仕様のSRAMの製造に用いるシリコンウエハ1Aと3.3V仕様のSRAMの製造に用いるシリコンウエハ1Bとに分け、シリコンウエハ1A、1Bに対してそれぞれ次のような処理を施す。

【0040】

まず、図11(a)に示すように、2.5V仕様のシリコンウエハ1Aの表面をフッ酸で洗浄した後、湿式酸化を行い、p型ウエル4およびn型ウエル5のそ

それぞれの表面に清浄な酸化シリコン膜6aを形成する。また、図11(b)に示すように、3.3V仕様のシリコンウェハ1Bの表面をフッ酸で洗浄した後、湿式酸化を行い、p型ウエル4およびn型ウエル5のそれぞれの表面に清浄な酸化シリコン膜6bを形成する。シリコンウェハ1Bの湿式酸化は、シリコンウェハ1Aの湿式酸化よりも長時間（または高温で）行い、酸化シリコン膜6bの膜厚を酸化シリコン膜6aの膜厚よりもわずかに厚くする。

【0041】

次に、図12(a)に示すように、シリコンウェハ1Aの入出力回路領域をフォトレジスト膜40で覆い、フッ酸を用いたウェットエッチングで内部回路領域のゲート絶縁膜6aを除去する。また、図12(b)に示すように、シリコンウェハ1Bの入出力回路領域をフォトレジスト膜41で覆い、上記と同様の方法で内部回路領域のゲート絶縁膜6bを除去する。

【0042】

次に、シリコンウェハ1Aのフォトレジスト膜40を除去した後、図13(a)に示すように、シリコンウェハ1Aを湿式酸化することによって、内部回路領域のp型ウエル4およびn型ウエル5のそれぞれの表面に膜厚3nmのゲート酸化膜7cを形成する。この湿式酸化を行うことにより、入出力回路領域の酸化シリコン膜6aが厚膜化され、入出力回路領域のp型ウエル4およびn型ウエル5のそれぞれの表面に膜厚6nmのゲート酸化膜7aが形成される。

【0043】

また、シリコンウェハ1Bのフォトレジスト膜41を除去した後、図13(b)に示すように、シリコンウェハ1Bを湿式酸化することによって、内部回路領域のp型ウエル4およびn型ウエル5のそれぞれの表面に膜厚3nmのゲート酸化膜7cを形成する。この湿式酸化を行うことにより、入出力回路領域の酸化シリコン膜6が厚膜化され、入出力回路領域のp型ウエル4およびn型ウエル5のそれぞれの表面に膜厚8nmのゲート酸化膜7bが形成される。

【0044】

次に、図14(a)に示すように、シリコンウェハ1Aの入出力回路領域にゲート長が0.3μmのゲート電極8aを形成し、内部回路領域にゲート長が0.

14 μmのゲート電極8cを形成する。ゲート電極8a、8cは、例えばシリコンウエハ1A上にCVD法でn型の多結晶シリコン膜を堆積した後、フォトレジスト膜をマスクにしたドライエッチングでこの多結晶シリコン膜をパターニングすることによって形成する。

【0045】

また、図14(b)に示すように、シリコンウエハ1Bの入出力回路領域にゲート長が0.4 μmのゲート電極8aを形成し、内部回路領域にゲート長が0.14 μmのゲート電極8cを形成する。ゲート電極8b、8cは、前記ゲート電極8a、8cと同様、シリコンウエハ1B上に堆積したn型の多結晶シリコン膜をパターニングすることによって形成する。

【0046】

次に、図15(a)に示すように、シリコンウエハ1Aのp型ウエル4にn型不純物(リンまたはヒ素)をイオン注入することによってn⁻型半導体領域10を形成し、n型ウエル5にp型不純物(ホウ素)をイオン注入することによってp⁻型半導体領域11を形成する。また図15(b)に示すように、シリコンウエハ1Bのp型ウエル4にn型不純物(リンまたはヒ素)をイオン注入することによってn⁻型半導体領域10を形成し、n型ウエル5にp型不純物(ホウ素)をイオン注入することによってp⁻型半導体領域11を形成する。n⁻型半導体領域10およびp⁻型半導体領域11は、MOSトランジスタをLDD(Lightly Doped Drain)構成にするために形成する。

【0047】

次に、図16(a)に示すように、シリコンウエハ1A上にCVD法で窒化シリコン膜を堆積した後、この窒化シリコン膜を異方的にドライエッチングすることによって、ゲート電極8a、8cのそれぞれの側壁にサイドウォールスペーサ12を形成する。また図16(b)に示すように、シリコンウエハ1B上にCVD法で窒化シリコン膜を堆積した後、この窒化シリコン膜を異方的にドライエッチングすることによって、ゲート電極8a、8cのそれぞれの側壁にサイドウォールスペーサ12を形成する。

【0048】

次に、図17(a)に示すように、シリコンウェハ1Aのp型ウエル4にn型不純物（リンまたはヒ素）をイオン注入することによってn⁺型半導体領域（ソース、ドレイン領域）13を形成し、n型ウエル5にp型不純物（ホウ素）をイオン注入することによってp⁺型半導体領域（ソース、ドレイン領域）14を形成する。また、図17(b)に示すように、シリコンウェハ1Bのp型ウエル4にn型不純物（リンまたはヒ素）をイオン注入することによってn⁺型半導体領域（ソース、ドレイン領域）13を形成し、n型ウエル5にp型不純物（ホウ素）をイオン注入することによってp⁺型半導体領域（ソース、ドレイン領域）14を形成する。

【0049】

ここまで工程により、シリコンウェハ1Aの入出力回路領域に2.5V耐圧のnチャネル型MOSトランジスタF_{na}およびpチャネル型MOSトランジスタF_{pa}が形成され、内部回路領域に1.5V耐圧のnチャネル型MOSトランジスタQ_nおよびpチャネル型MOSトランジスタQ_pが形成される。また、シリコンウェハ1Bの入出力回路領域に3.3V耐圧のnチャネル型MOSトランジスタF_{nb}およびpチャネル型MOSトランジスタF_{pb}が形成され、内部回路領域に1.5V耐圧のnチャネル型MOSトランジスタQ_nおよびpチャネル型MOSトランジスタQ_pが形成される。

【0050】

次に、図18(a)に示すように、シリコンウェハ1A上にCVD法で酸化シリコン膜15を堆積した後、フォトレジスト膜（図示せず）をマスクにして酸化シリコン膜15をドライエッチングすることにより、入出力回路領域のnチャネル型MOSトランジスタF_{na}およびpチャネル型MOSトランジスタF_{pa}のそれぞれのソース、ドレイン領域（n⁺型半導体領域13、p⁺型半導体領域14）の上部にコンタクトホール17を形成し、内部回路領域のnチャネル型MOSトランジスタQ_nおよびpチャネル型MOSトランジスタQ_pのそれぞれのソース、ドレイン領域（n⁺型半導体領域13、p⁺型半導体領域14）の上部にコンタクトホール16を形成する。

【0051】

また、図18（b）に示すように、シリコンウエハ1B上にCVD法で酸化シリコン膜15を堆積した後、フォトレジスト膜（図示せず）をマスクにして酸化シリコン膜15をドライエッチングすることにより、入出力回路領域のnチャネル型MOSトランジスタF_{nb}およびpチャネル型MOSトランジスタF_{pb}のそれぞれのソース、ドレイン領域（n⁺型半導体領域13、p⁺型半導体領域14）の上部にコンタクトホール17を形成し、内部回路領域のnチャネル型MOSトランジスタQ_nおよびpチャネル型MOSトランジスタQ_pのそれぞれのソース、ドレイン領域（n⁺型半導体領域13、p⁺型半導体領域14）の上部にコンタクトホール16を形成する。

【0052】

図19に示すように、シリコンウエハ1Bの入出力回路領域に形成された3.3V耐圧のnチャネル型MOSトランジスタF_{nb}およびpチャネル型MOSトランジスタF_{pb}は、ソース、ドレイン領域（n⁺型半導体領域13、p⁺型半導体領域14）と配線とを接続するためのコンタクトホール17とゲート電極8bとの間隔が、この間隔の最小加工寸法（a）で形成される。また、内部回路領域に形成された1.5V耐圧のnチャネル型MOSトランジスタQ_nおよびpチャネル型MOSトランジスタQ_pは、ソース、ドレイン領域（n⁺型半導体領域13、p⁺型半導体領域14）と配線とを接続するためのコンタクトホール17とゲート電極8cとの間隔が、この間隔の最小加工寸法（a）で形成される。

【0053】

図20に示すように、シリコンウエハ1Aの入出力回路領域に形成された2.5V耐圧のnチャネル型MOSトランジスタF_{nb}およびpチャネル型MOSトランジスタF_{pb}は、前記3.3V耐圧のnチャネル型MOSトランジスタF_{nb}およびpチャネル型MOSトランジスタF_{pb}が形成された活性領域30と同一の面積を有する活性領域30に形成される。そのため、2.5V耐圧のnチャネル型MOSトランジスタF_{nb}およびpチャネル型MOSトランジスタF_{pb}は、コンタクトホール17とゲート電極8aとの間隔が、この間隔の最小加工寸法（a）よりも大きくなる。

【0054】

次に、図21に示すように、シリコンウエハ1A上にメタル配線20～27を形成し、図22に示すように、シリコンウエハ1B上にメタル配線20～27を形成する。メタル配線20～27は、例えばコンタクトホール16、17の内部を含む酸化シリコン膜15上にスパッタリング法でAl合金膜を堆積し、フォトレジスト膜をマスクにしたドライエッ칭でこのAl合金膜をパターニングすることによって形成する。シリコンウエハ1A上のメタル配線20～27とシリコンウエハ1B上のメタル配線20～27は、同一のフォトマスクを使って同一の方法で形成する。

【0055】

実際のSRAMは、上記メタル配線20～27の上部に3層程度のメタル配線を形成するが、その説明は省略する。これらのメタル配線は、メタル配線20～27と同様、シリコンウエハ1Aとシリコンウエハ1Bとで同一のフォトマスクを使い、同一の方法によって形成する。その後、シリコンウエハ1Aを複数のシリコンチップ1aに個片化し、シリコンウエハ1Bを複数のシリコンチップ1bに個片化することにより、前記図1に示す2.5V仕様のSRAMが形成されたシリコンチップ1aと、前記図2に示す3.3V仕様のSRAMが形成されたシリコンチップ1bが得られる。

【0056】

このように、本実施形態によれば、2.5V仕様のSRAMは、入出力回路を構成するMOSトランジスタを2.5V耐圧MOSトランジスタで構成し、3.3V仕様のSRAMは、入出力回路を構成するMOSトランジスタを3.3V耐圧MOSトランジスタで構成する。これにより、2.5V耐圧MOSトランジスタも3.3V耐圧MOSトランジスタも十分な電流駆動能力が得られるため、いずれの仕様のSRAMも入出力回路の高速化が可能となる。

【0057】

また、本実施形態によれば、2.5V耐圧MOSトランジスタで構成された入出力と3.3V耐圧MOSトランジスタで構成された入出力回路を同一チップ内に形成する必要がないので、チップ面積の増加を抑制することができ、高速SRAMを安価に提供することが可能となる。

【0058】

また、本実施形態によれば、外部電源電圧仕様に対応した2種類のS R A Mの製造工程の多くの部分を共通化することができるので、同一機能のS R A Mを電源電圧仕様毎に個別に開発する場合に比べて設計作業が軽減され、開発期間の短縮および製造コストの低減が可能となる。

【0059】

また、本実施形態によれば、2種類のS R A Mに共通する製造工程の一部が済んだシリコンウエハを用意しておき、生産数量が確定した後、このシリコンウエハを使って2種類のS R A Mを製造するので、受注から納品までの期間を短縮することが可能となる。

【0060】

(実施の形態2)

前記実施の形態1では、3. 3 V耐圧M O Sトランジスタのゲート絶縁膜厚(TOX)、ゲート長(Lg)をそれぞれ8 nm、0. 4 μ mとし、2. 5 V耐圧M O Sトランジスタのゲート絶縁膜厚(TOX)、ゲート長(Lg)をそれぞれ6 nm、0. 3 μ mとしたが、図24に示すように、3. 3 V耐圧M O Sトランジスタのゲート絶縁膜厚(TOX)を8 nm、2. 5 V耐圧M O Sトランジスタのゲート絶縁膜厚(TOX)を6 nmとし、ゲート長(Lg)は共通の0. 4 μ mとしてもよい。

【0061】

また、図25に示すように、3. 3 V耐圧M O Sトランジスタのチャネル形成領域に追加のイオン注入を行い、3. 3 Vの電源電圧で高速動作するよう、さらに最適化を図ることもできる。

【0062】

また、図26に示すように、3. 3 V耐圧M O Sトランジスタのコンタクトホール17と活性領域30の端部との間の寸法(c)をコンタクトホール17とゲート電極8bとの間隔の最小加工寸法(a)と同じにし、2. 5 V耐圧M O Sトランジスタのコンタクトホール17と活性領域30の端部との間の寸法(c')をコンタクトホール17とゲート電極8aとの間隔の最小加工寸法(a)よりも

α だけ大きくしてもよい ($a + \alpha$)。ここで、 α は、3.3V耐圧MOSトランジスタの最小加工ゲート長 (L_g) と2.5V耐圧MOSトランジスタの最小加工ゲート長 (L_g) との差の2分の1である。

【0063】

この場合、2.5V耐圧MOSトランジスタは、コンタクトホール17とゲート電極8aとの間隔が最小加工寸法 (a) と同じになるため、拡散抵抗による電流低下を抑制することができる。

【0064】

また、図27に示すように、I/O電源電圧 (VDDQ) の低い方の仕様が内部電源電圧 (VDDI) と等しいような場合は、図28に示すように、2.5V仕様の入出力回路は、内部回路と同じ1.5V耐圧のMOSトランジスタで構成することもできる。この場合、2.5V仕様のSRAMは、すべてのMOSトランジスタが1種類のゲート絶縁膜で構成されるため、製造工程をより低減することが可能となる。

【0065】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0066】

前記実施の形態では、2種類の外部電源電圧仕様に対応したSRAMに適用した場合について説明したが、本発明は、複数の外部電源電圧仕様に対応した高速ICを有する半導体装置一般に適用することができる。

【0067】

【発明の効果】

本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0068】

本発明によれば、複数の電源電圧仕様に対応した半導体装置の高速動作を実現することができる。

【0069】

本発明によれば、複数の電源電圧仕様に対応した半導体装置の製造コストを低減することができる。

【0070】

本発明によれば、複数の電源電圧仕様に対応した半導体装置の開発期間を短縮することができる。

【図面の簡単な説明】

【図1】

本発明の一実施形態であるS R A Mが形成された半導体チップのブロック図である。

【図2】

本発明の一実施形態であるS R A Mが形成された半導体チップのブロック図である。

【図3】

本発明の一実施形態であるS R A Mのデータ出力回路を示す回路図である。

【図4】

図3に示すデータ出力回路の内部動作波形を示す図である。

【図5】

本発明の一実施形態であるS R A Mのアドレス入力回路およびデータ入力レジスタを示す回路図である。

【図6】

図5に示すアドレス入力回路に入力されるアドレス入力信号の振幅を示す図である。

【図7】

(a) は、第1のシリコンチップに形成された3. 3 V耐圧M O Sトランジスタの平面図、(b) は、第2のシリコンチップに形成された1. 5 V耐圧M O Sトランジスタの平面図である。

【図8】

(a) は、第1のシリコンチップに形成された2. 5 V耐圧M O Sトランジスタ

の平面図、(b)は、第2のシリコンチップに形成された1.5V耐圧MOSトランジスタの平面図である。

【図9】

本発明の一実施形態であるSRAMの製造方法を示す断面図である。

【図10】

本発明の一実施形態であるSRAMの製造方法を示す断面図である。

【図11】

本発明の一実施形態であるSRAMの製造方法を示す断面図である。

【図12】

本発明の一実施形態であるSRAMの製造方法を示す断面図である。

【図13】

本発明の一実施形態であるSRAMの製造方法を示す断面図である。

【図14】

本発明の一実施形態であるSRAMの製造方法を示す断面図である。

【図15】

本発明の一実施形態であるSRAMの製造方法を示す断面図である。

【図16】

本発明の一実施形態であるSRAMの製造方法を示す断面図である。

【図17】

本発明の一実施形態であるSRAMの製造方法を示す断面図である。

【図18】

本発明の一実施形態であるSRAMの製造方法を示す断面図である。

【図19】

本発明の一実施形態であるSRAMの製造方法を示す平面図および断面図である。

【図20】

本発明の一実施形態であるSRAMの製造方法を示す平面図および断面図である。

【図21】

本発明の一実施形態であるSRAMの製造方法を示す断面図である。

【図22】

本発明の一実施形態であるSRAMの製造方法を示す断面図である。

【図23】

本発明の一実施形態であるSRAMの製造方法を示すフロー図である。

【図24】

本発明の他の実施形態であるSRAMの製造方法を示すフロー図である。

【図25】

本発明の他の実施形態であるSRAMの製造方法を示すフロー図である。

【図26】

本発明の他の実施形態であるSRAMのMOSトランジスタを示す平面図である。

【図27】

本発明のSRAMの電源電圧仕様を示した図である。

【図28】

本発明の他の実施形態であるSRAMのMOSトランジスタを示す平面図である。

【図29】

LSIに要求される電源電圧仕様の一例を示した図である。

【図30】

図29に示した電源電圧に対応するように最適化されたMOSトランジスタのゲート絶縁膜厚(TOX)および最小加工ゲート長(Lg)の一例を示した図である。

【図31】

図29に示す電源電圧仕様に対応したLSIの回路構成の一例を示す回路ブロック図である。

【図32】

図31に示す回路の一部を詳細に示す回路図である。

【図33】

図32に示す回路の内部動作波形を示す図である。

【図34】

図29に示す電源電圧仕様に対応したLSIの回路構成の他の例を示す回路ブロック図である。

【符号の説明】

1 1 A、1 B シリコンウエハ（基板）

1 a、1 b シリコンチップ

2 素子分離溝

3 酸化シリコン膜

4 p型ウエル

5 n型ウエル

6 a、6 b 酸化シリコン膜

7 a、7 b、7 c ゲート絶縁膜

8 a、8 b、8 c ゲート電極

9 活性領域

10 n⁻型半導体領域

11 p⁻型半導体領域

12 サイドウォールスペーサ

13 n⁺型半導体領域（ソース、ドレイン領域）

14 p⁺型半導体領域（ソース、ドレイン領域）

15 酸化シリコン膜

16、17 コンタクトホール

20~27 メタル配線

30、31 活性領域

40、41 フォトレジスト膜

101 内部回路

102 アドレス入力回路

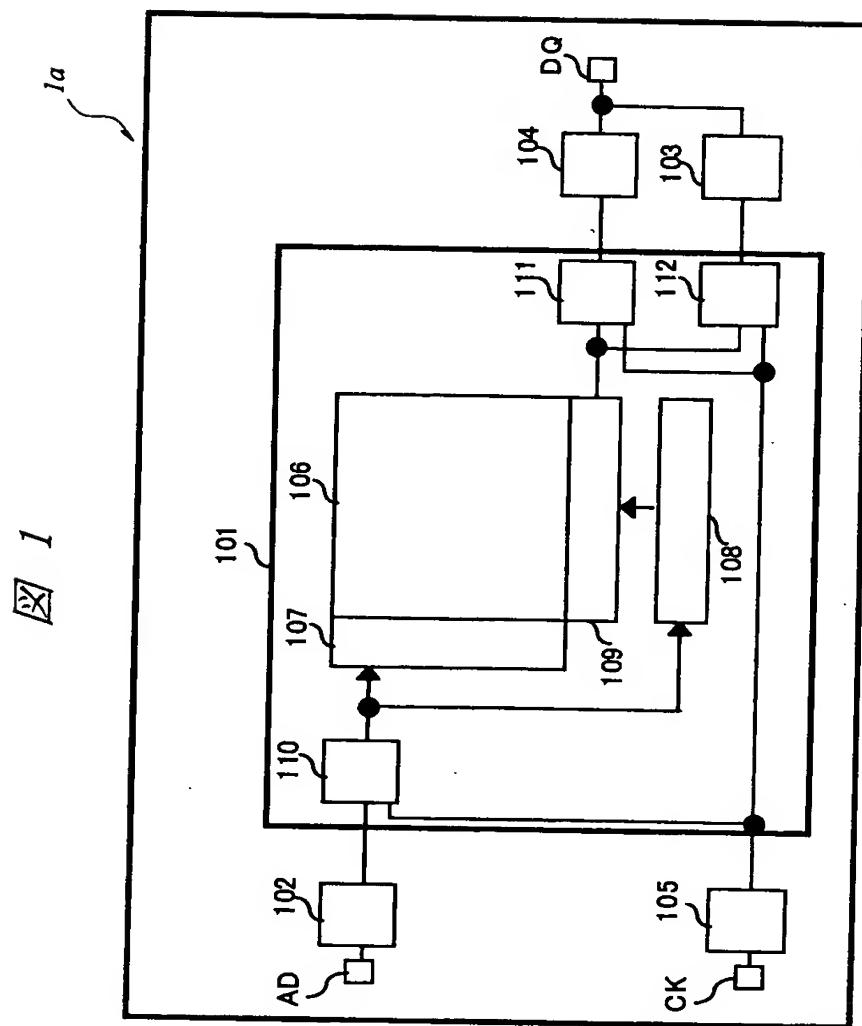
103 データ入力回路

104 データ出力回路

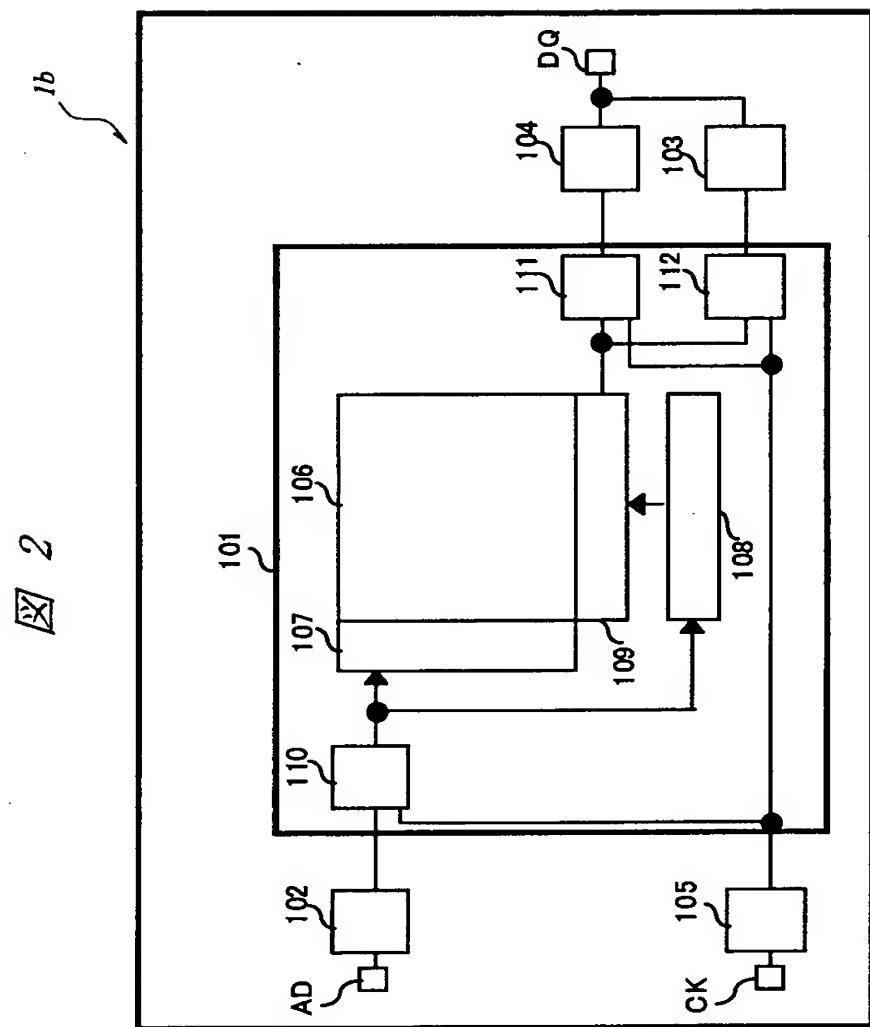
105 クロックバッファ
106 メモリセルアレイ
107 ロウデコーダ
108 カラムデコーダ
109 センスアンプ/ライトアンプ
110 アドレスレジスタ
111 データ出力レジスタ
112 データ入力レジスタ
AD アドレス入力パッド
CK クロック入力パッド
DQ データ入出力パッド

【書類名】 図面

【図1】

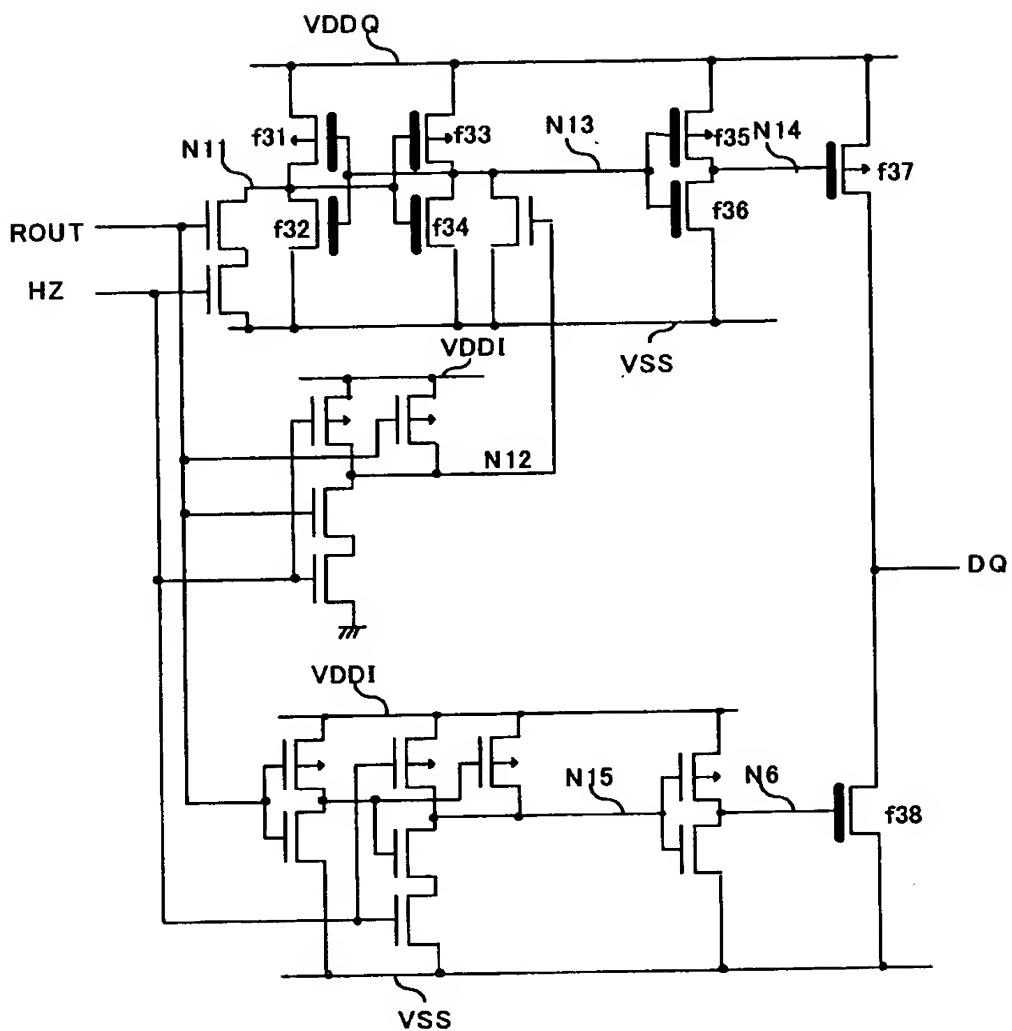


【図2】



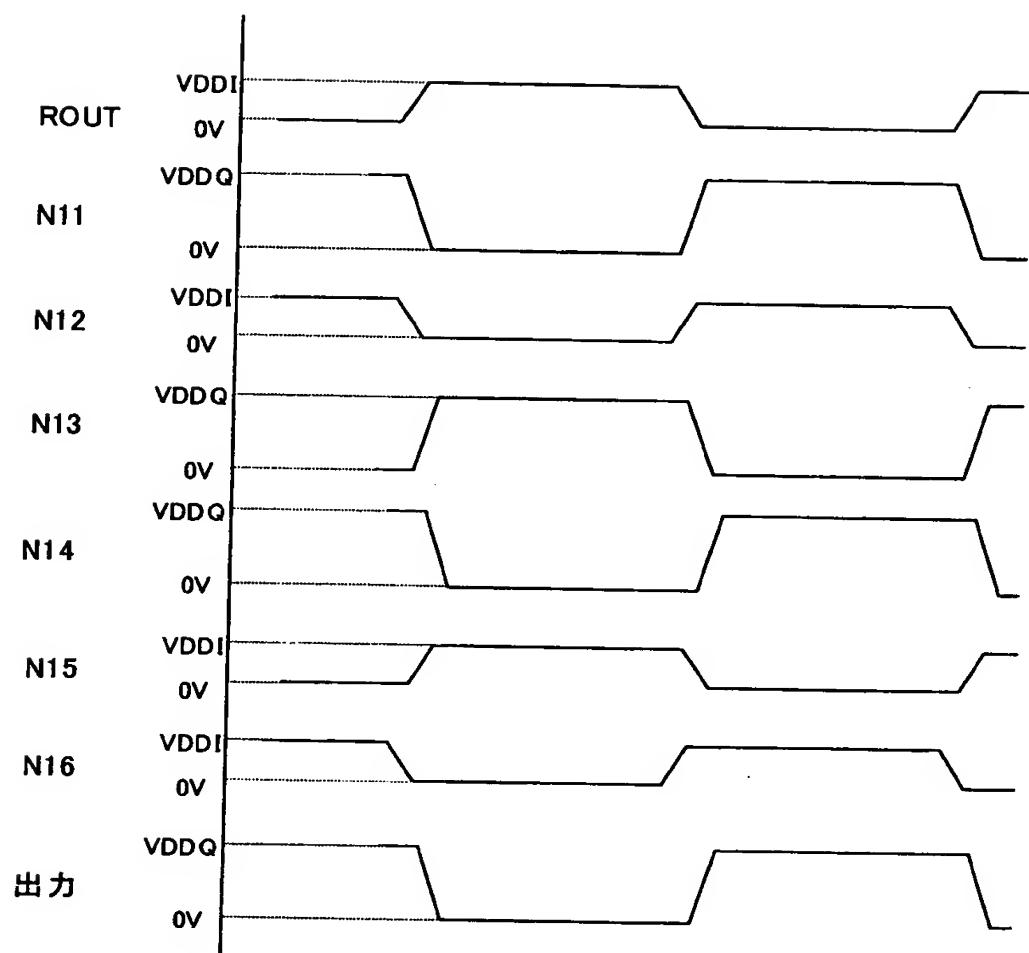
【図3】

図 3



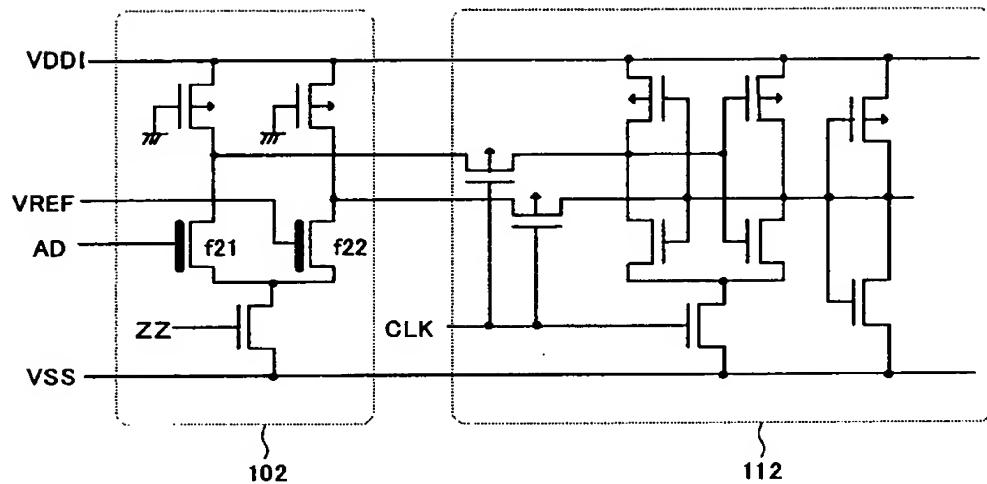
【図4】

図 4



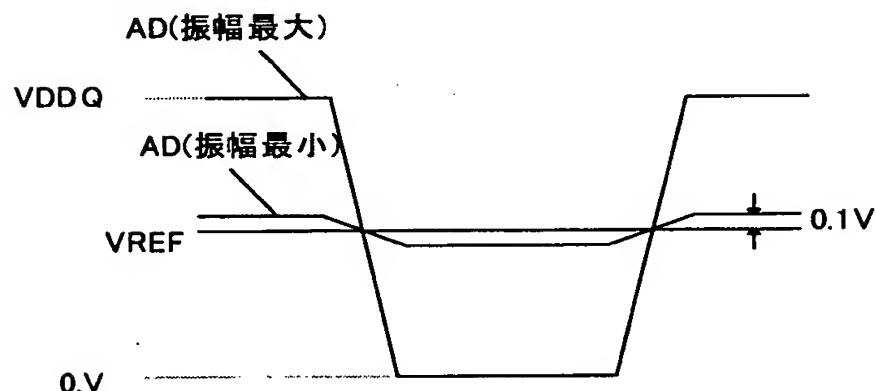
【図5】

図 5



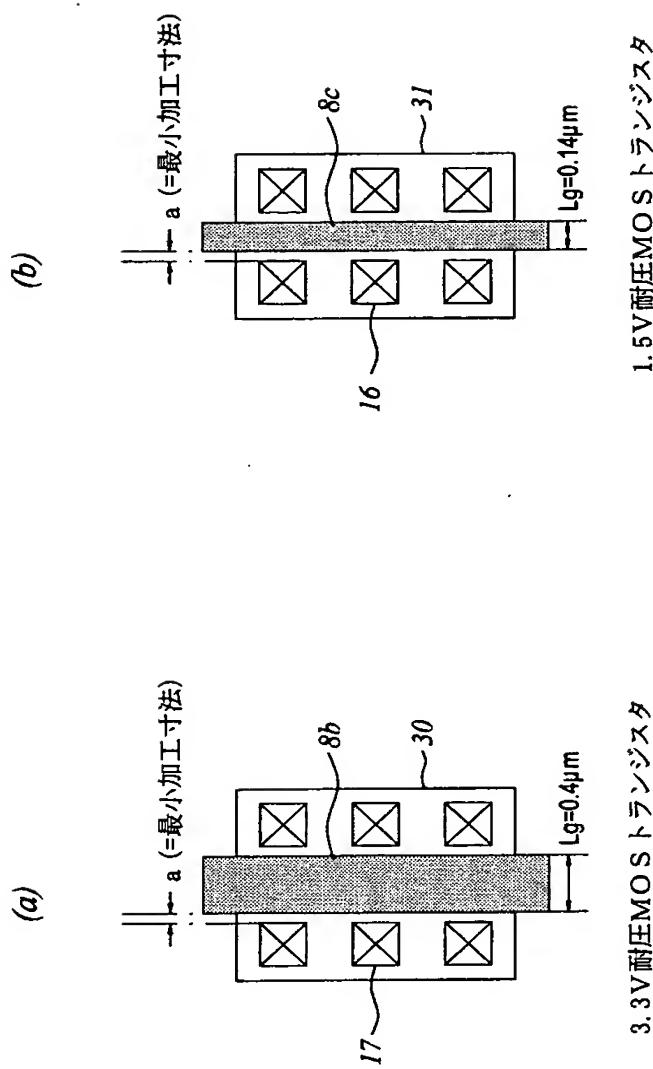
【図6】

図 6



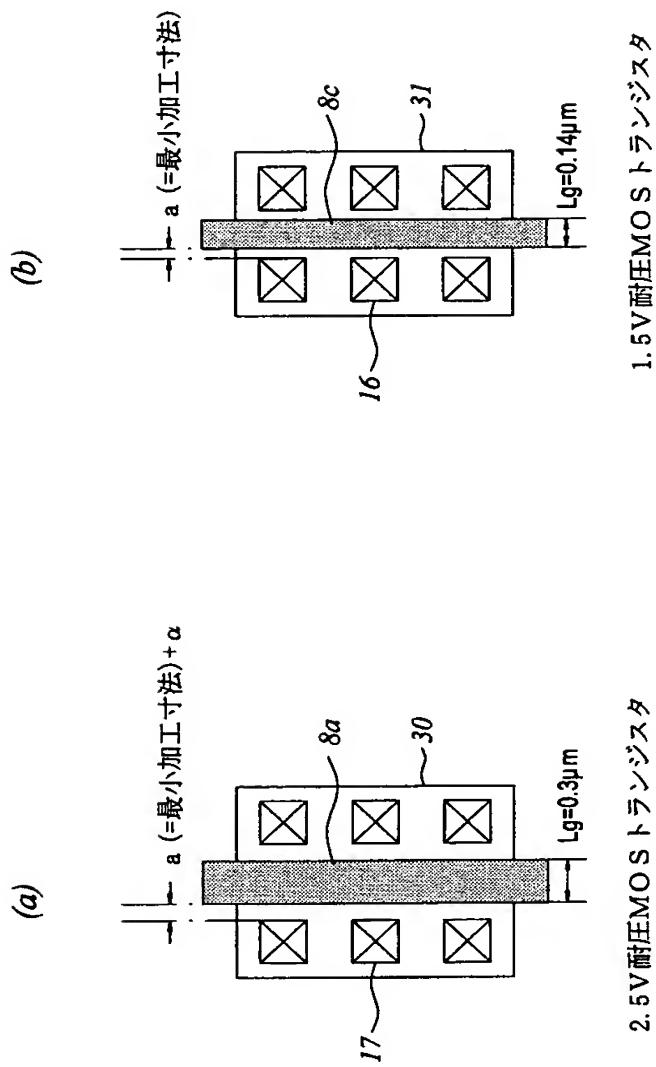
【図7】

図7

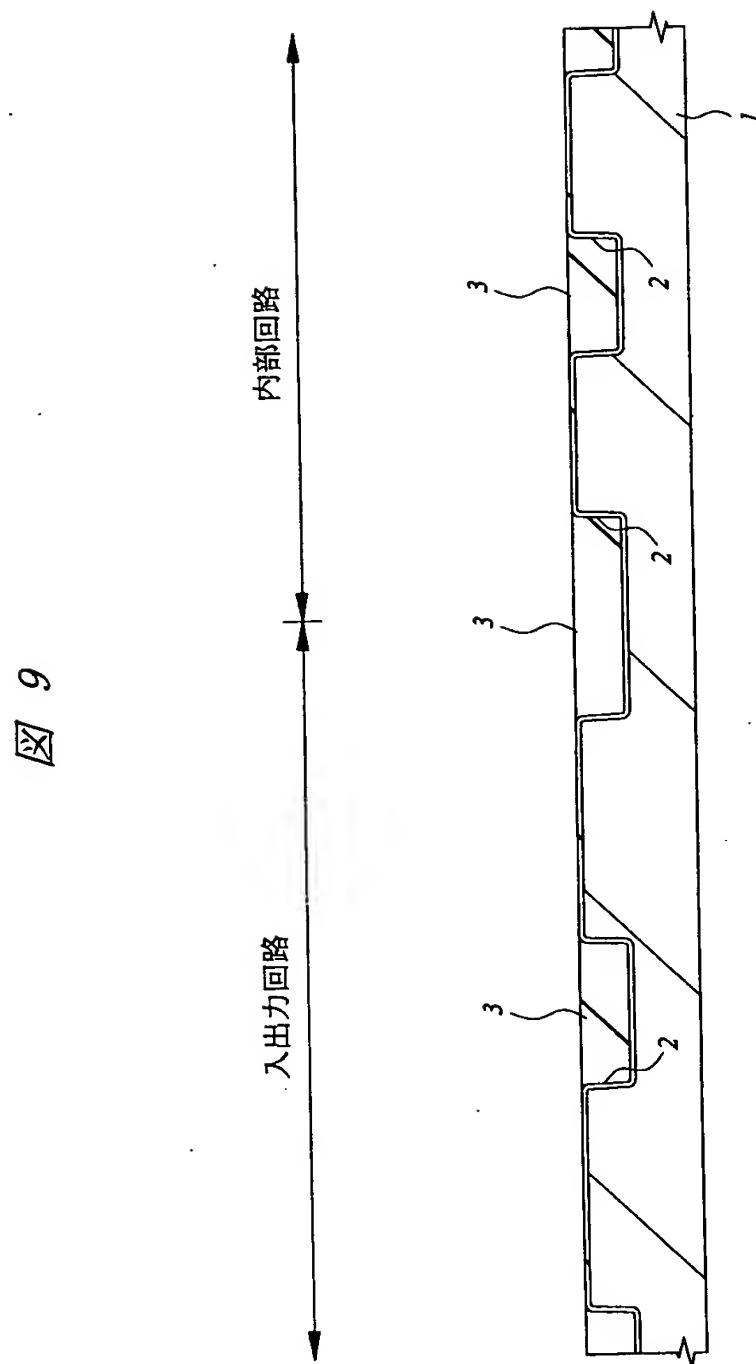


【図8】

図8

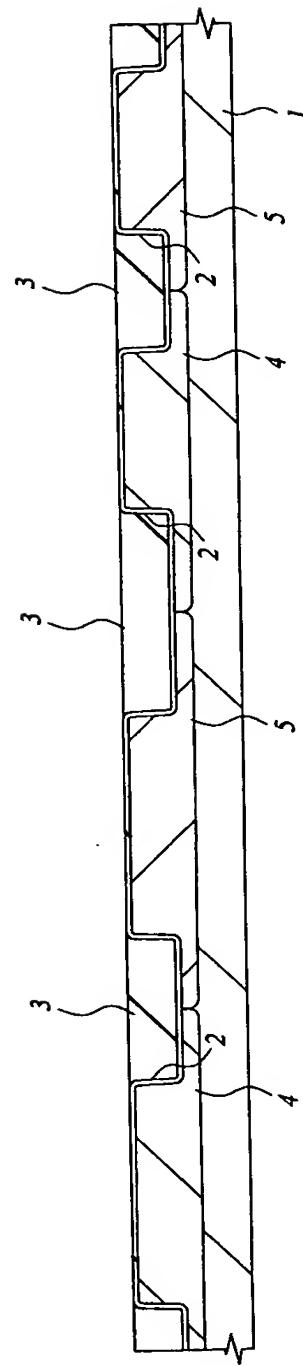


【図9】



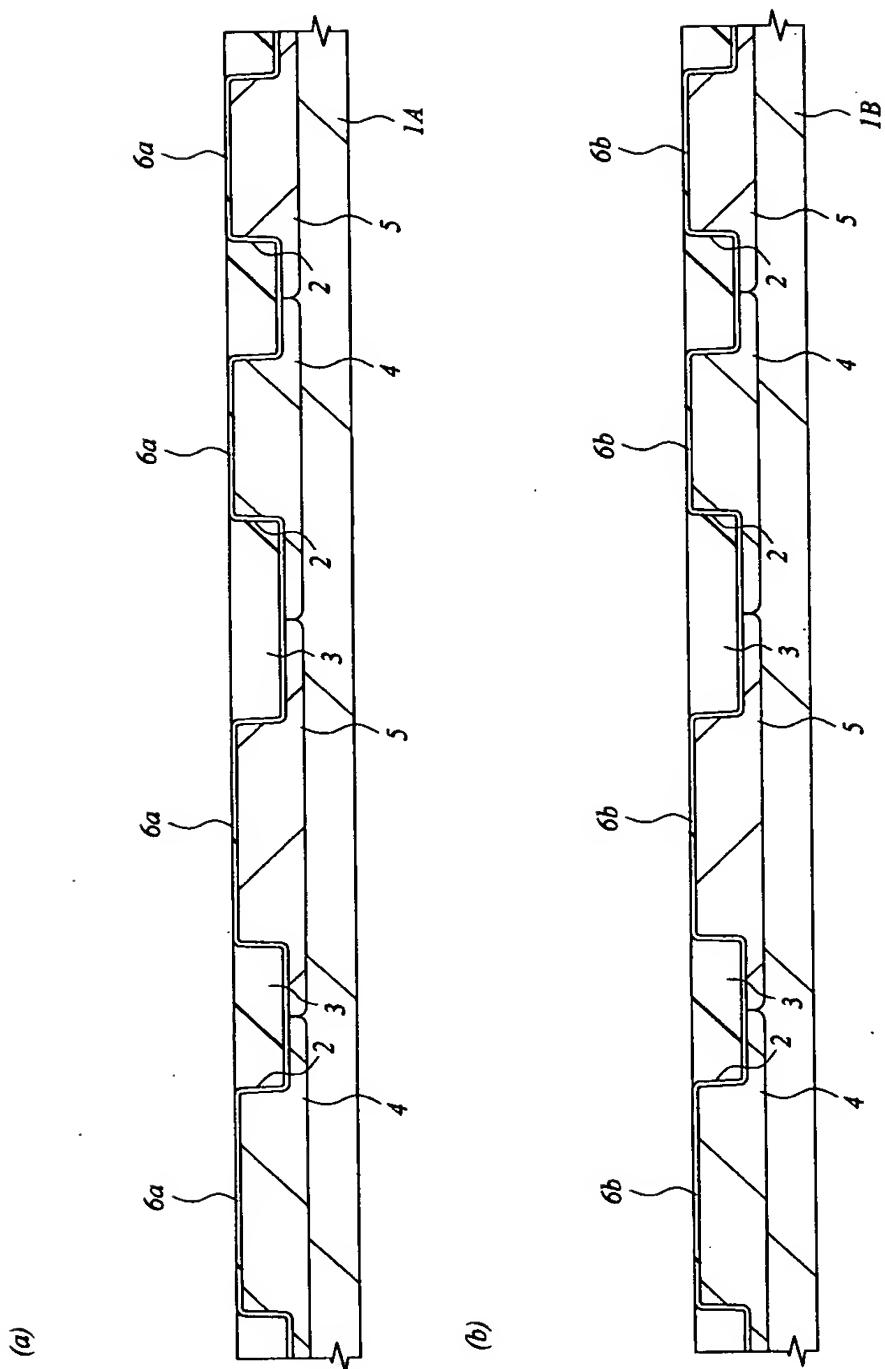
【図10】

図 10



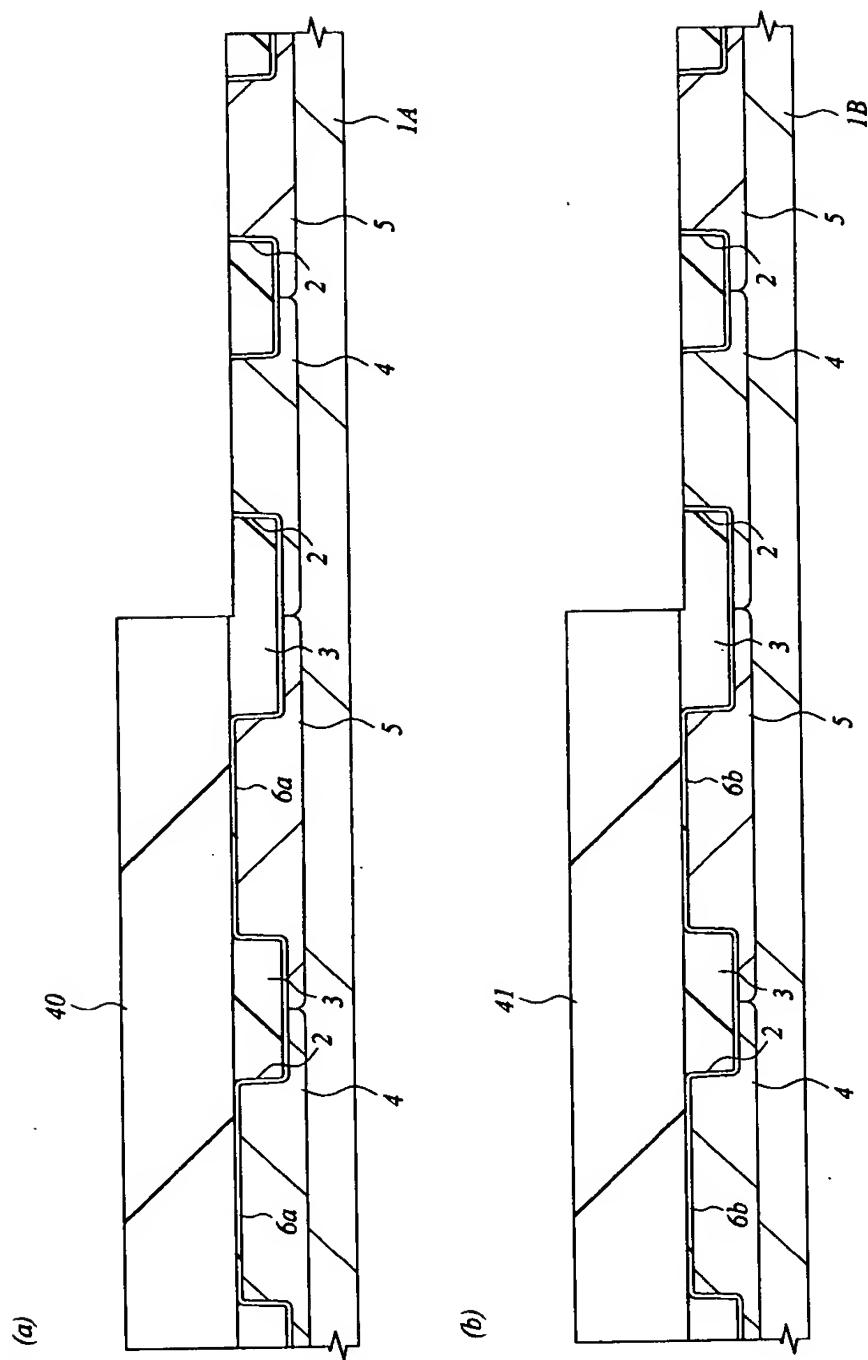
【図11】

図 11



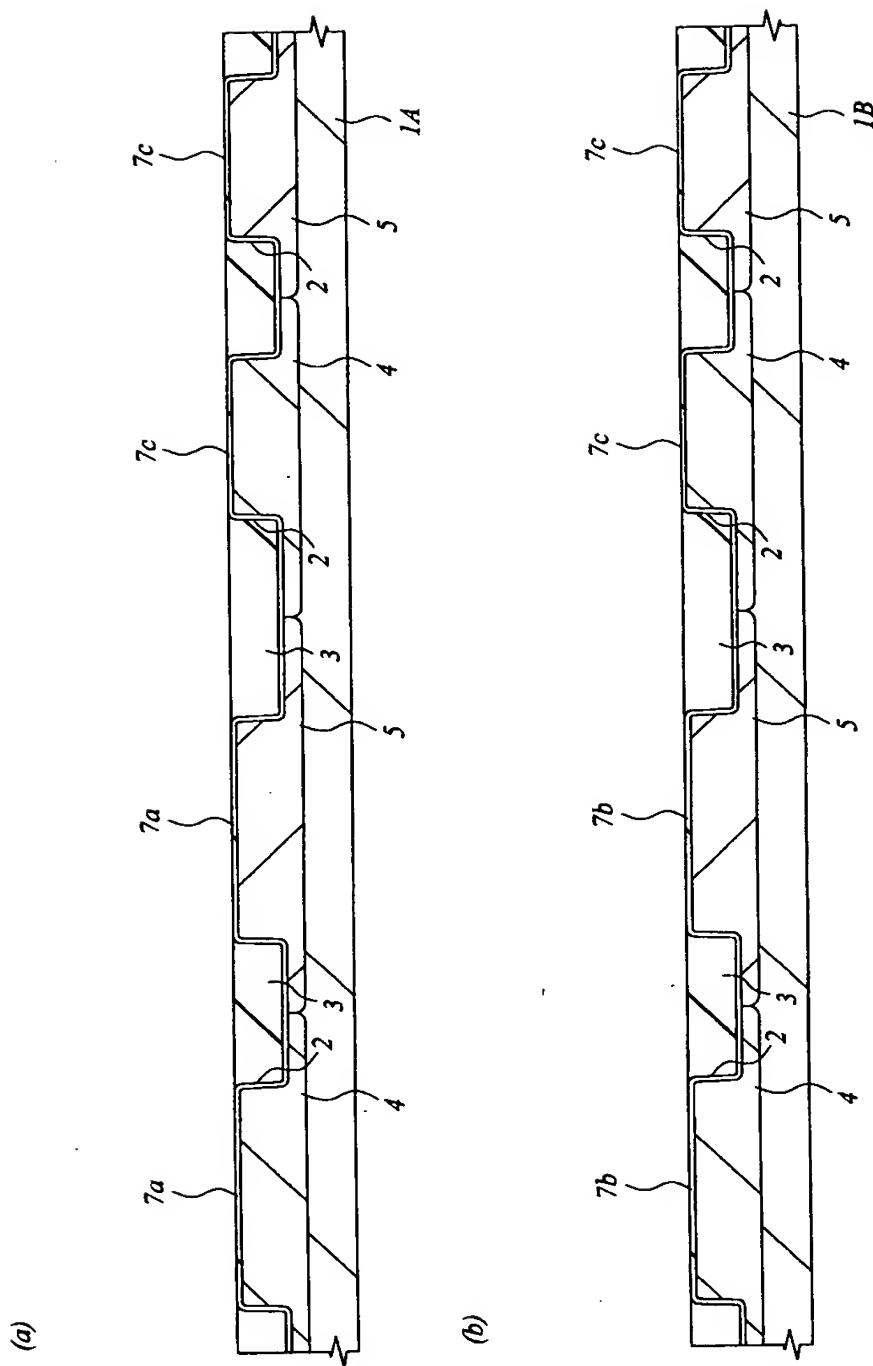
【図12】

図 12



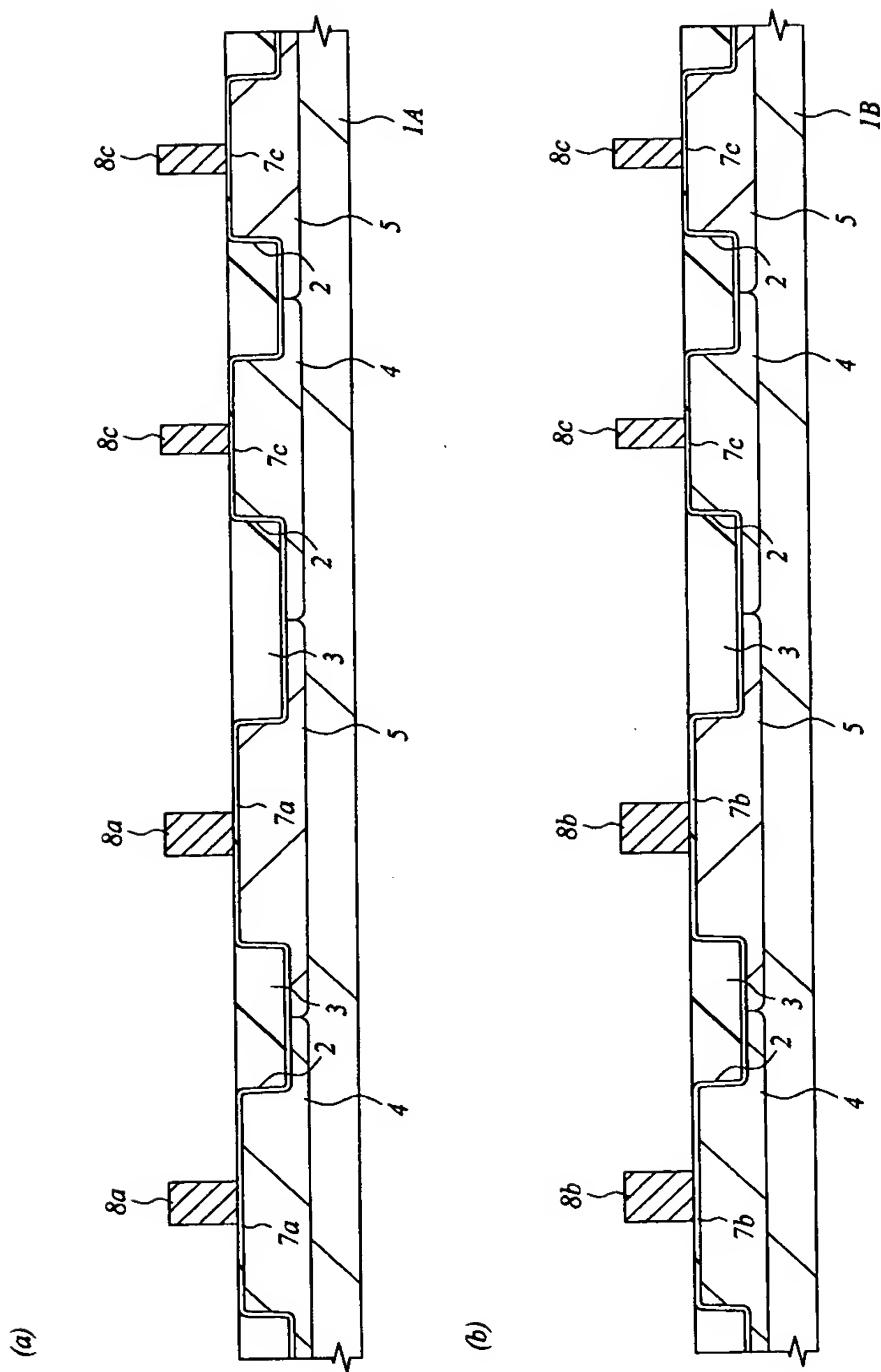
【図13】

図 13

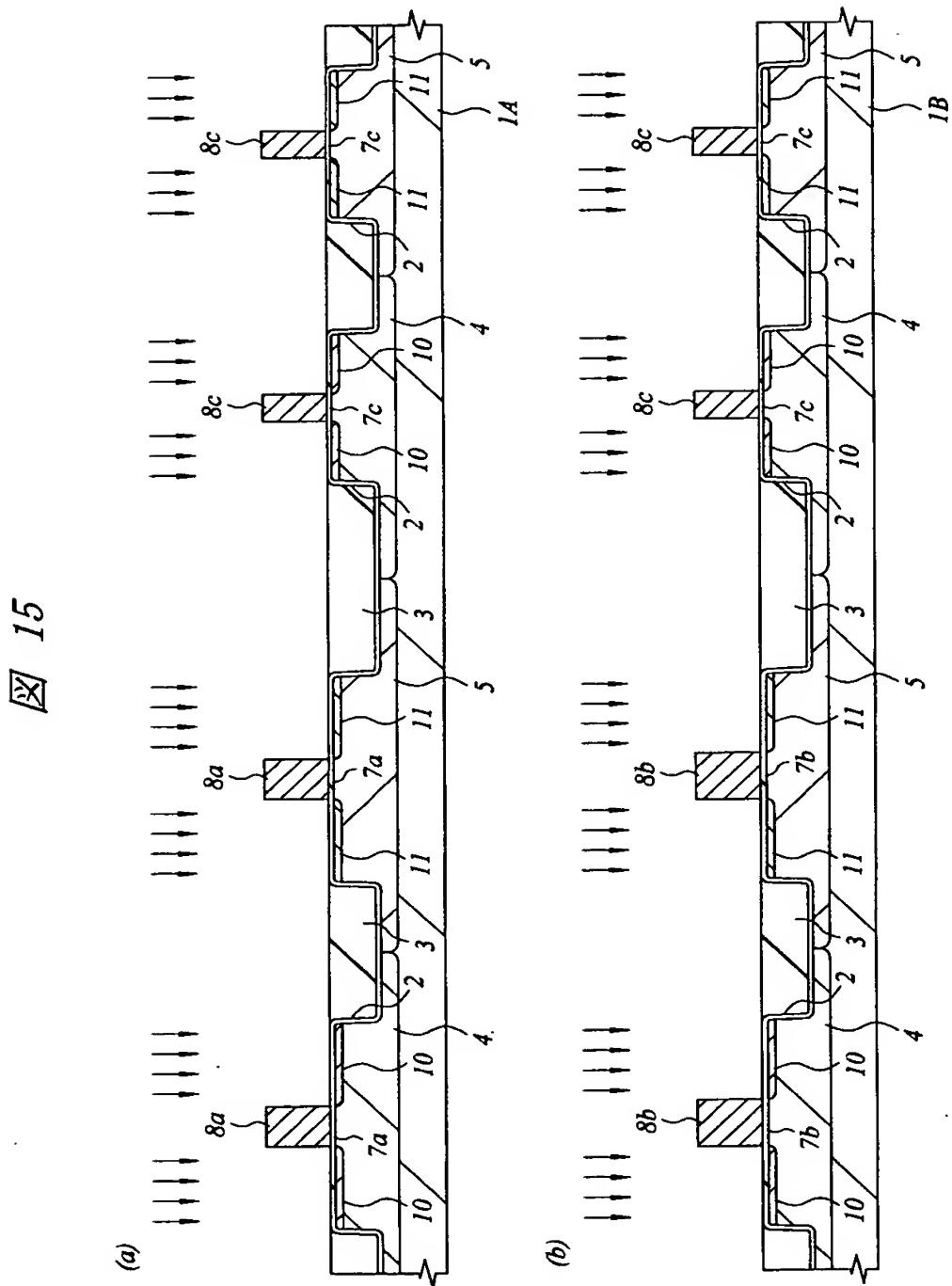


【図14】

図14

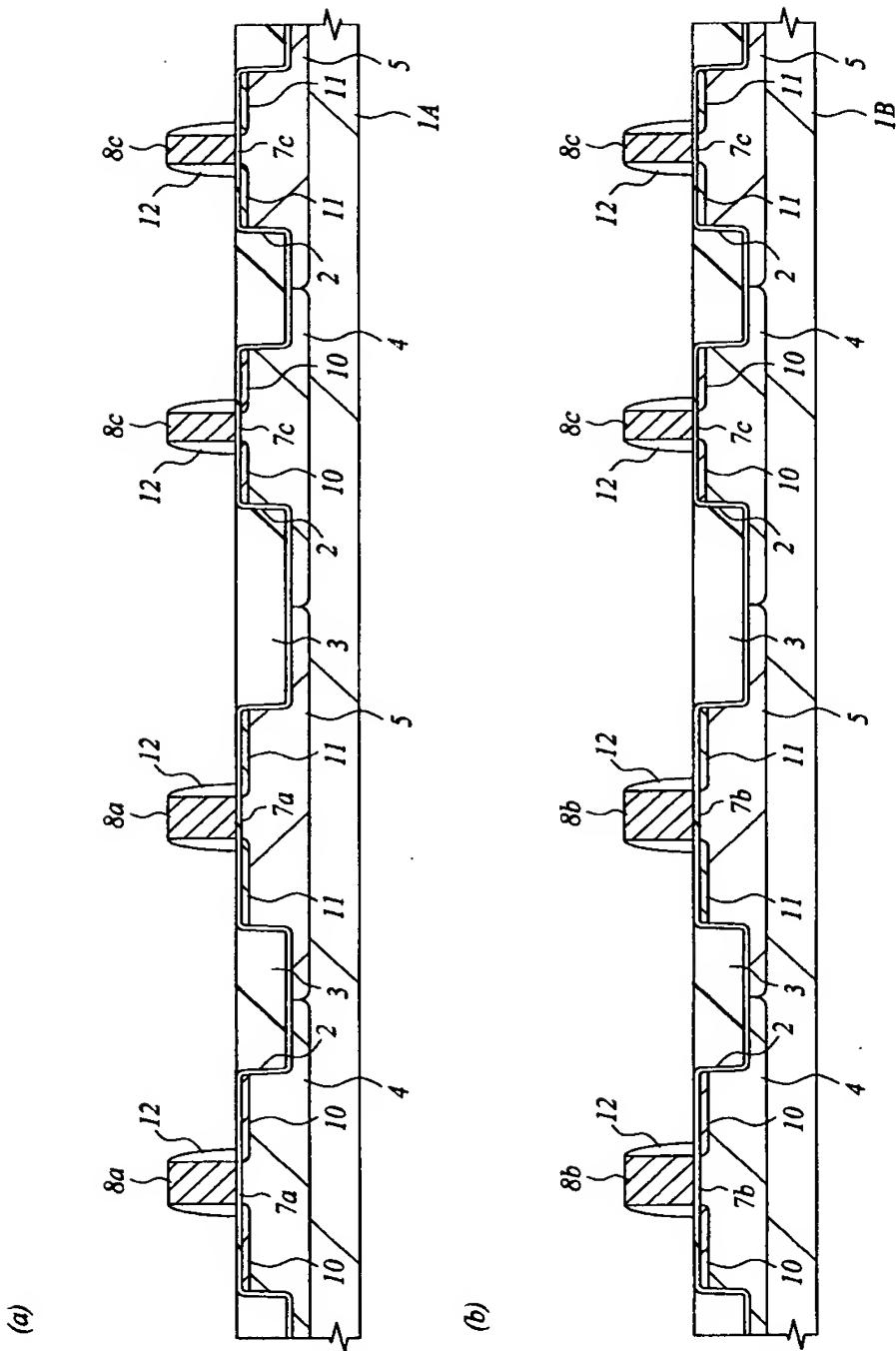


【図15】



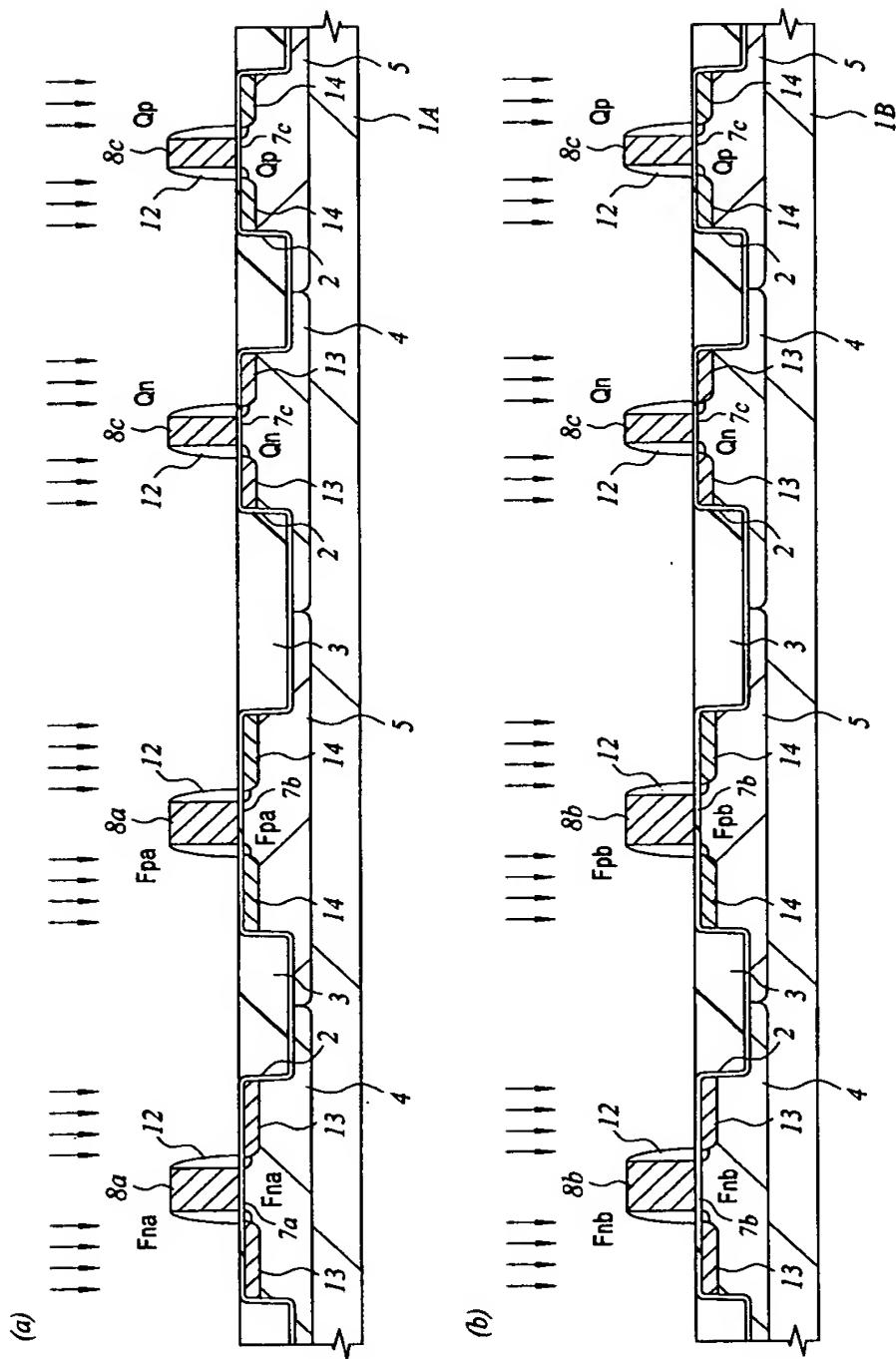
【図16】

図 16

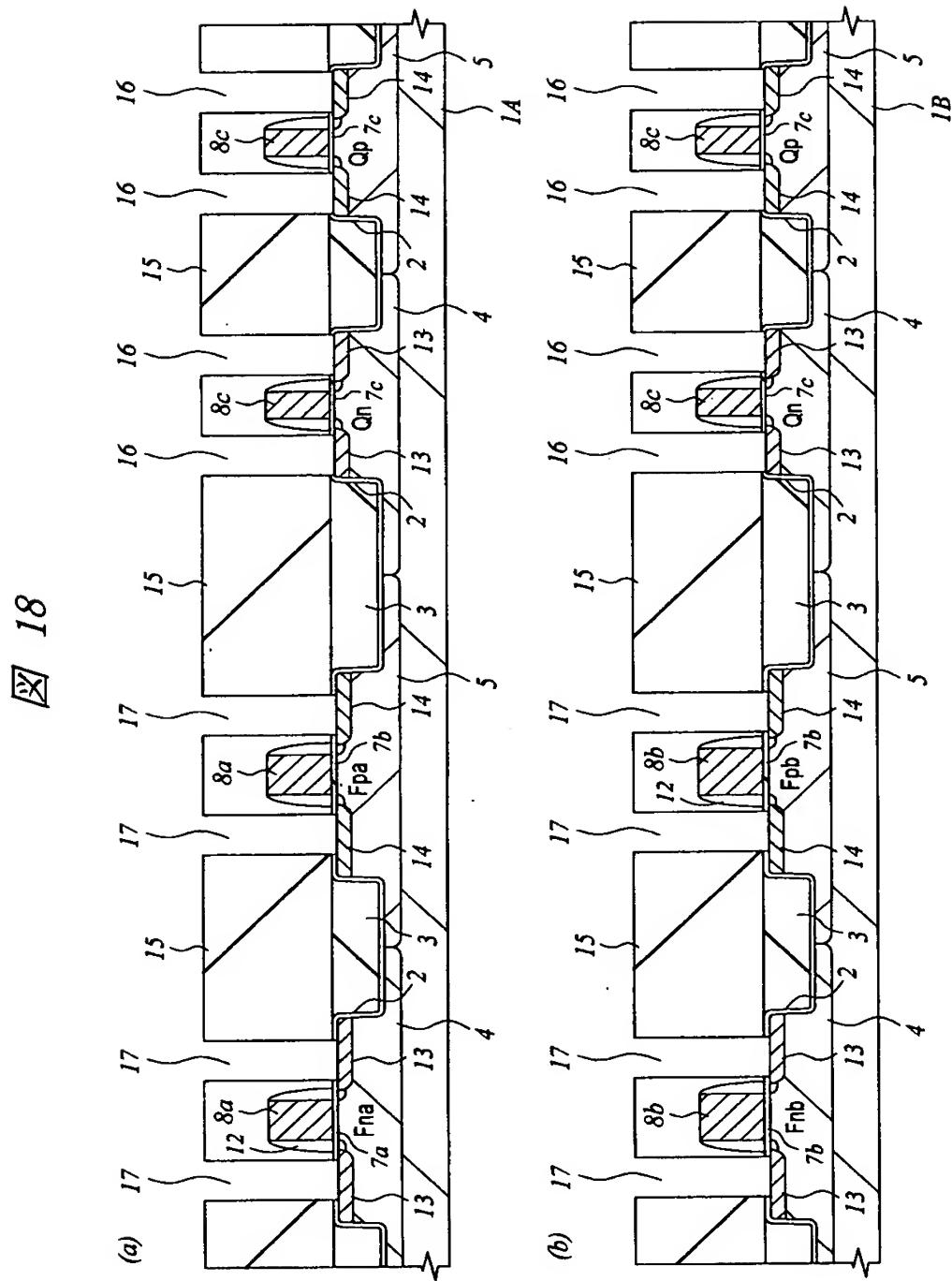


【図17】

17

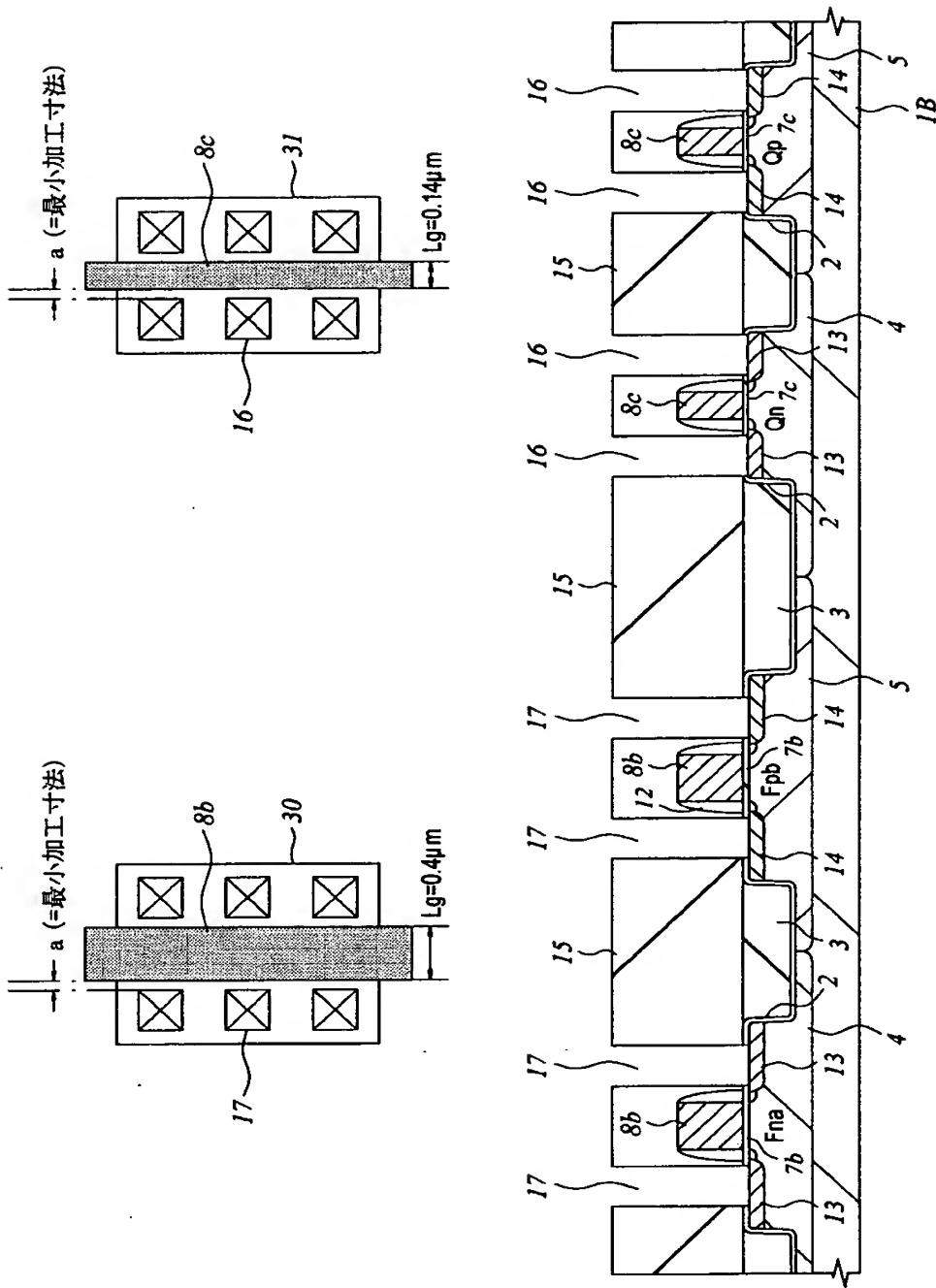


【図18】

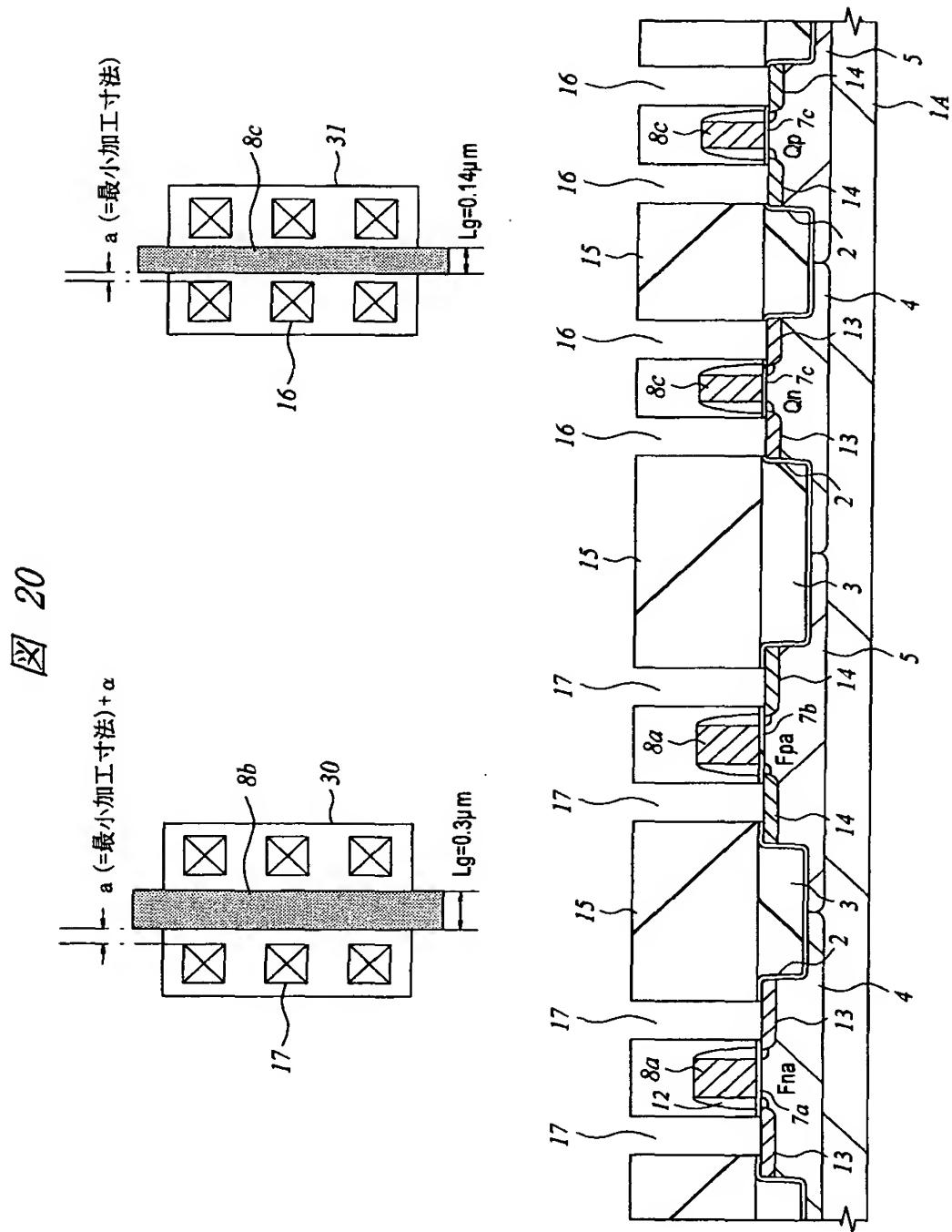


【図19】

図 19

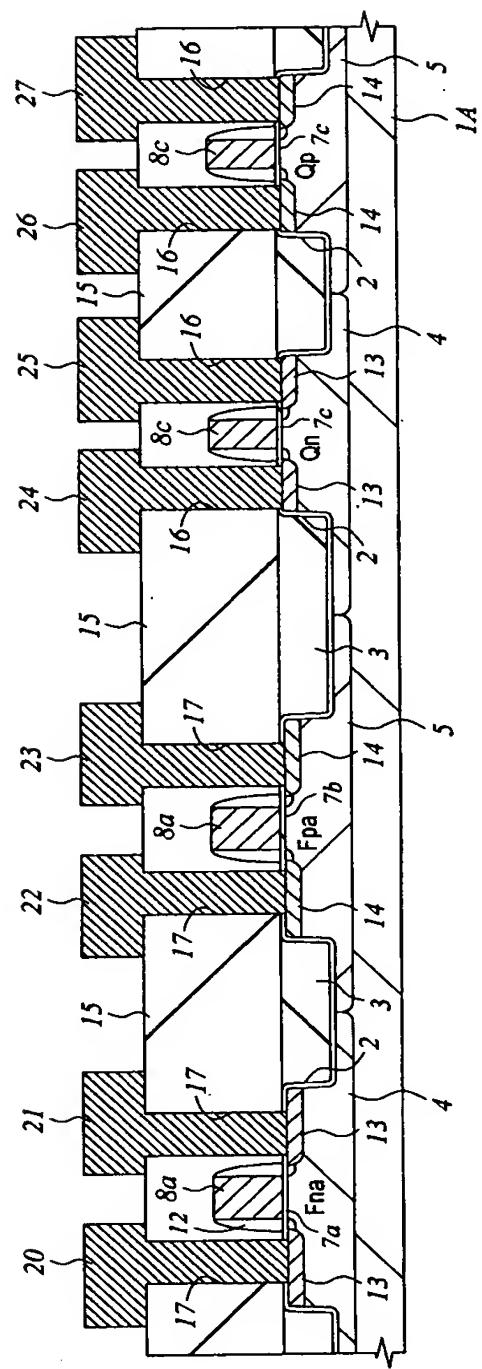


〔図20〕

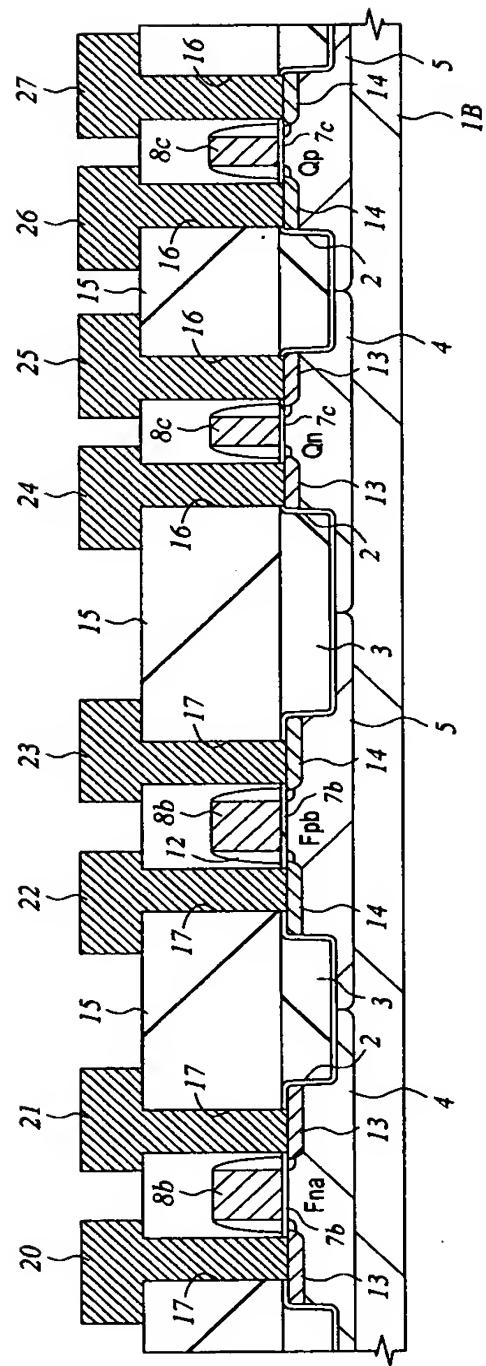


【図21】

図 21

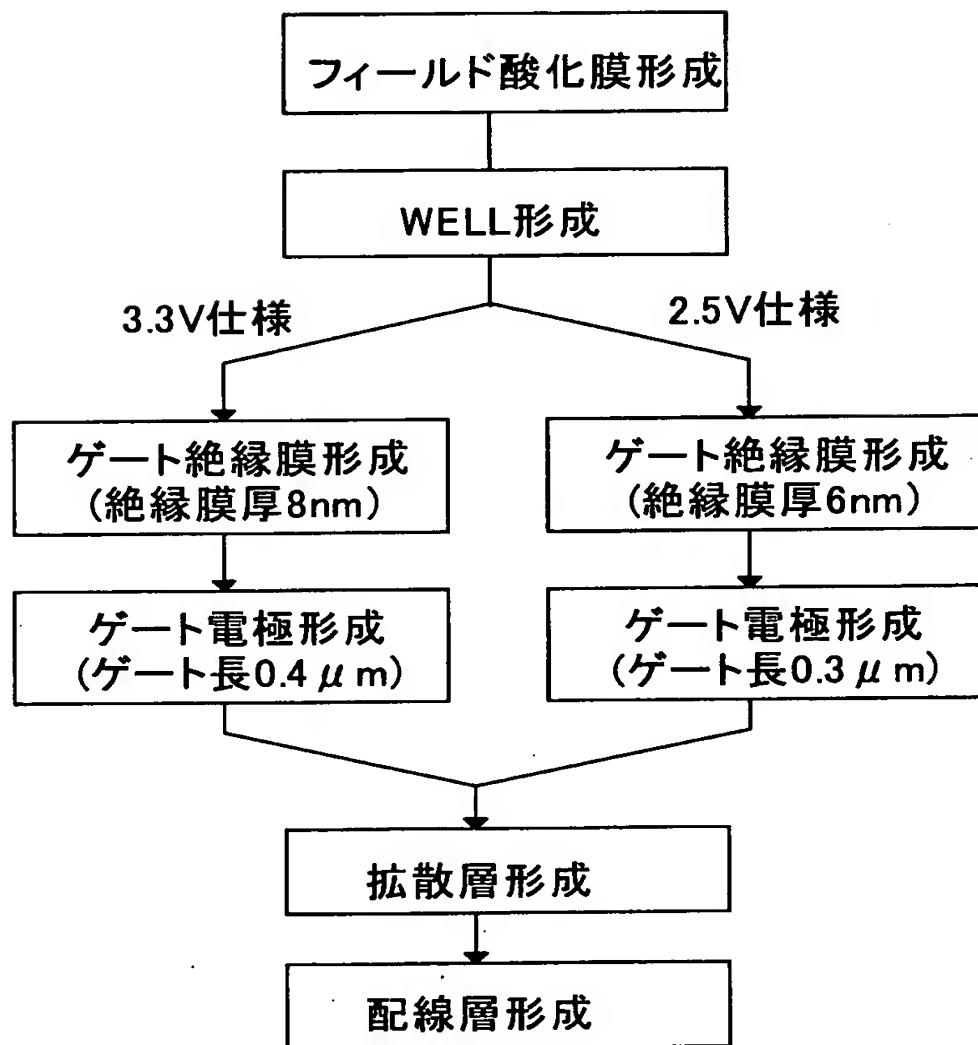


【図22】



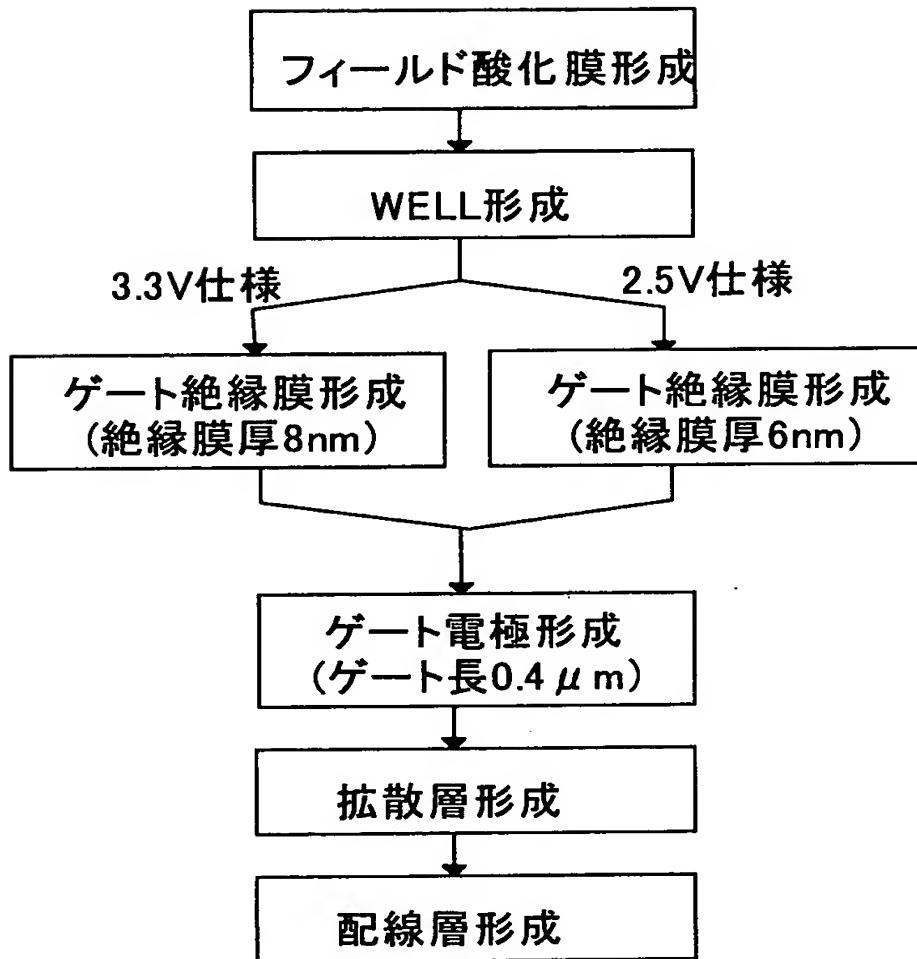
【図23】

図 23



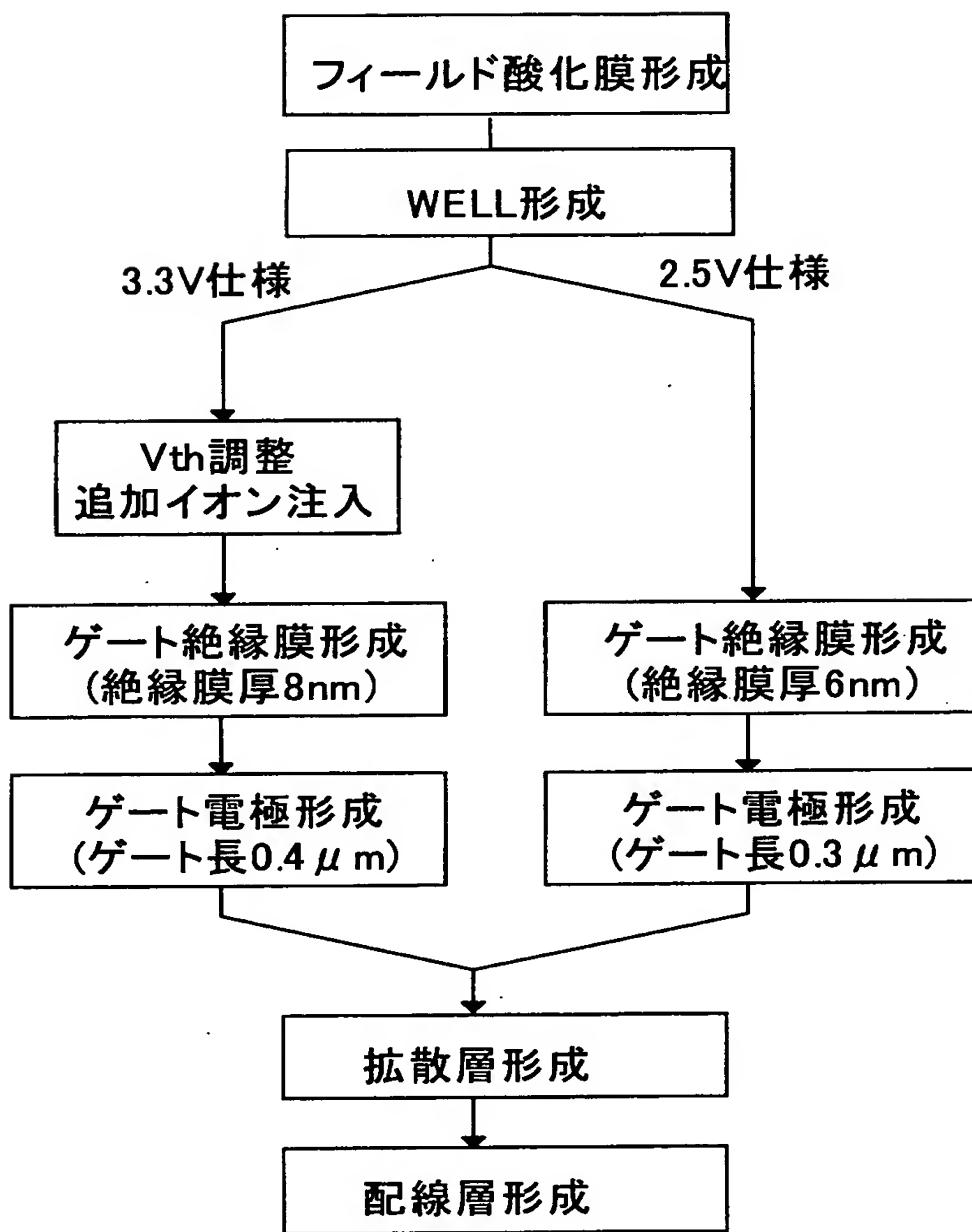
【図24】

図 24



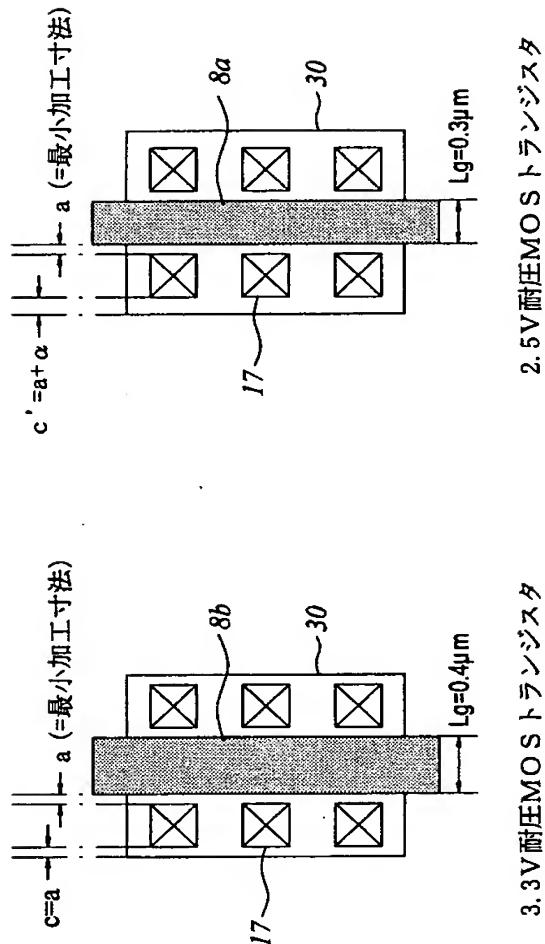
【図25】

図 25



【図26】

図 26



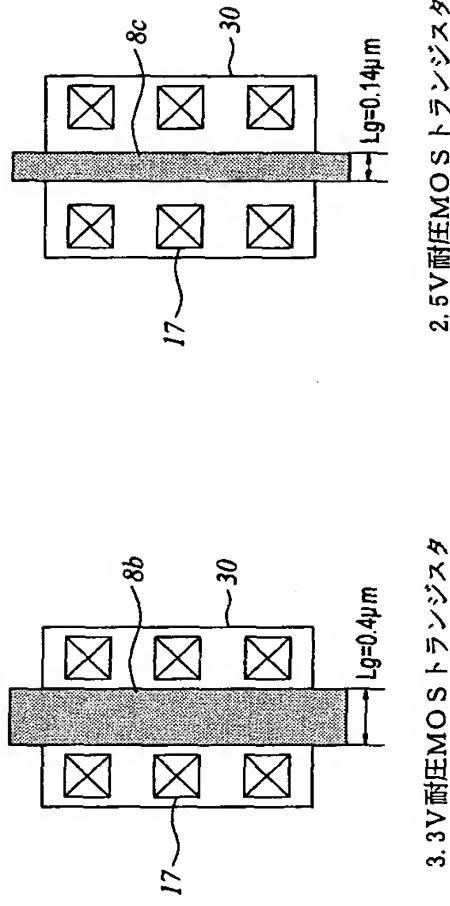
【図27】

図 27

仕様	電源電圧 VDD	I/O電源電圧 VDDQ	入力信号レベル VILmin	VIHmax	内部回路電源電圧 VDDI
3.3V仕様	3.3V	3.3V	0V	VDDQ	1.5V
2.5V仕様	2.5V	1.5V	0V	VDDQ	1.5V

【図28】

図 28



【図29】

図 29

仕様	電源電圧 VDD	I/O電源電圧 VDDQ	入力信号レベル		内部回路電源電圧 VDDI
			VILmin	VIHmax	
3.3V仕様	3.3V	3.3V	0V	VDDQ	1.5V
2.5V仕様	2.5V	2.5V	0V	VDDQ	1.5V

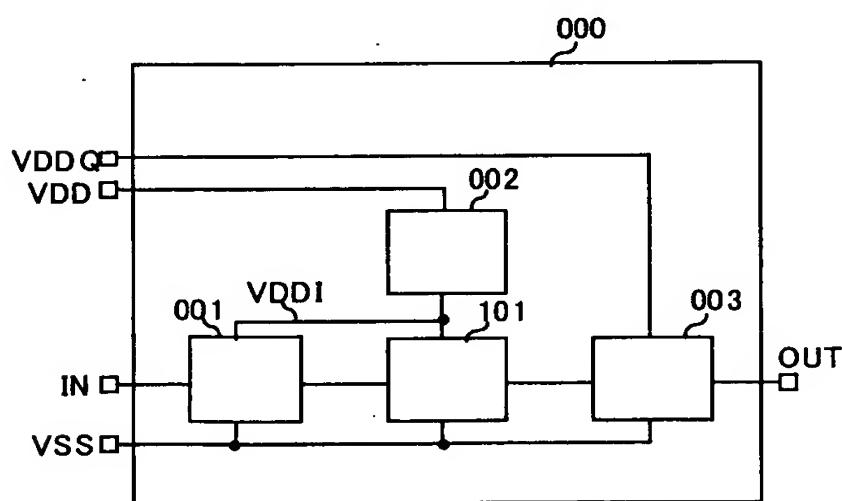
【図30】

図 30

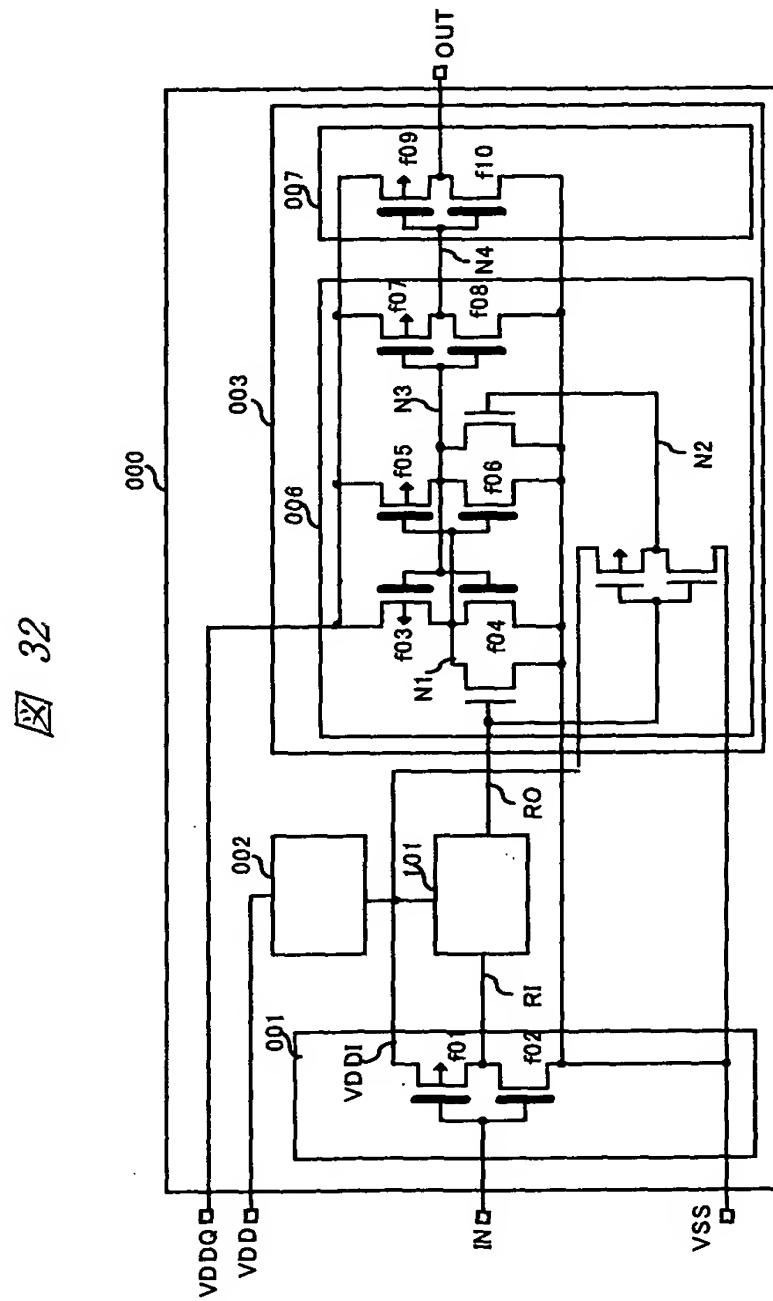
	ゲート絶縁膜厚 TOX	最小加工ゲート長 Lg
3.3V耐圧MOS	8nm	0.4μm
2.5V耐圧MOS	6nm	0.3μm
1.5V耐圧MOS	3nm	0.14μm

【図31】

図 31

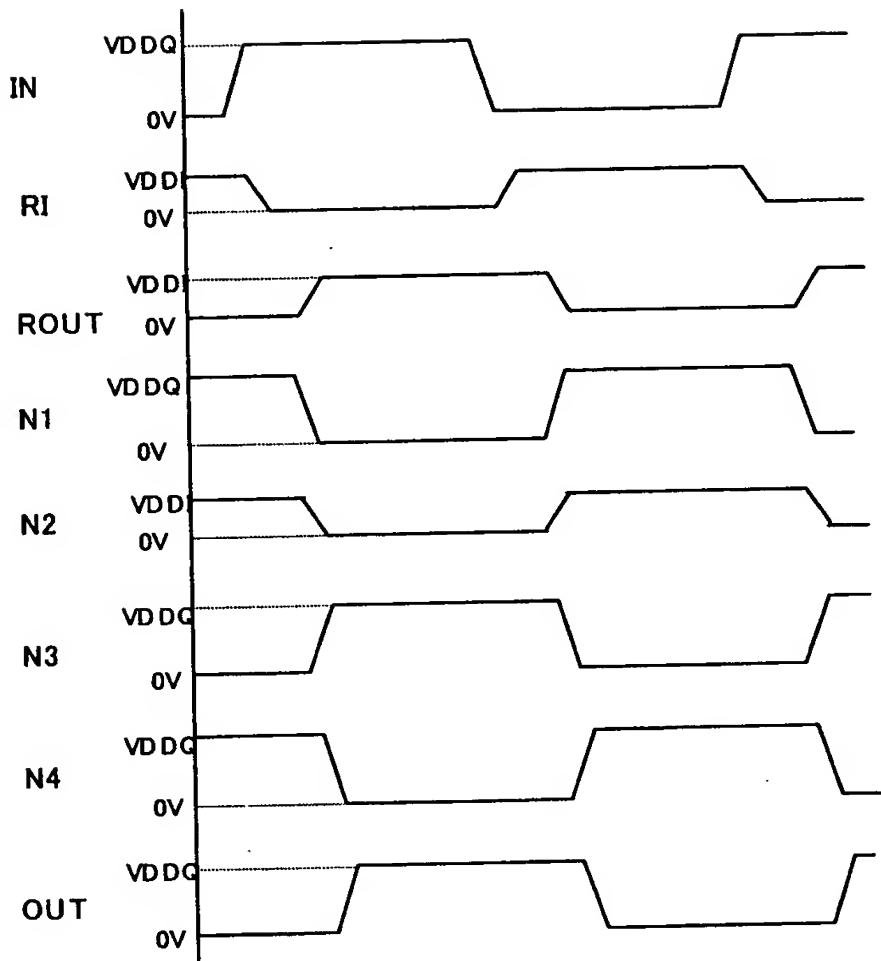


【図32】



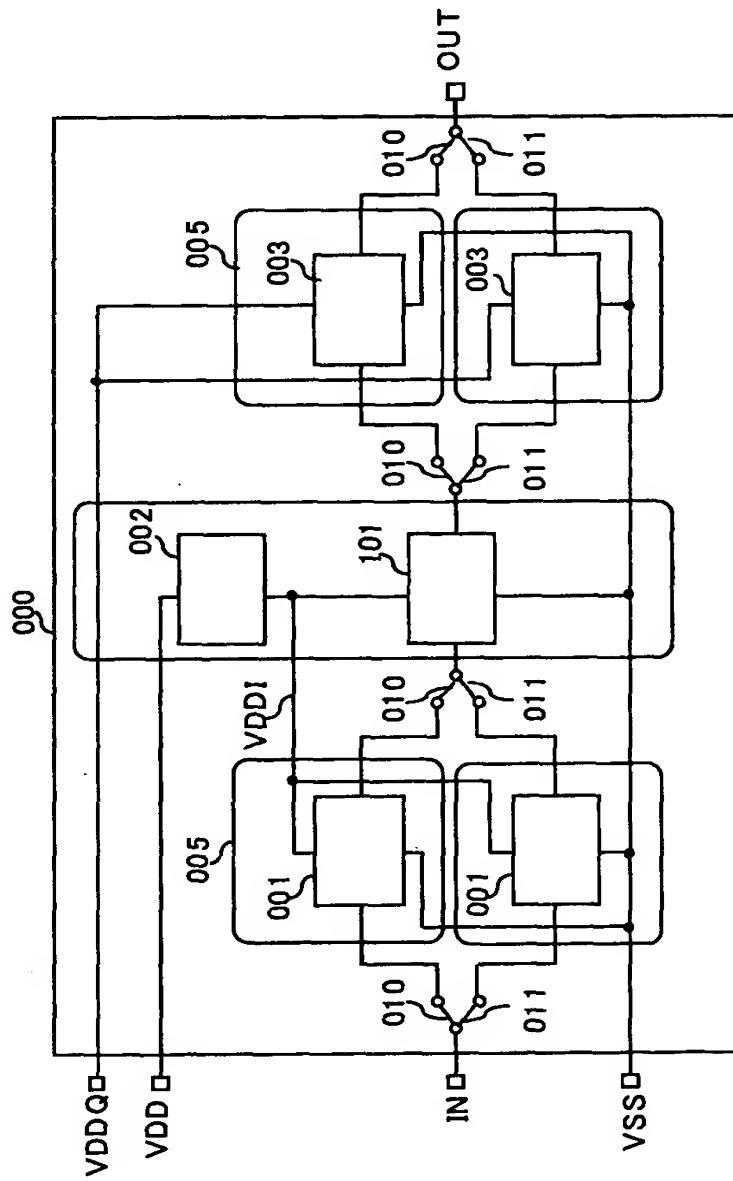
【図33】

図 33



【図34】

図34



【書類名】 要約書

【要約】

【課題】 チップサイズや製造コストを増やすことなく、複数の電源電圧仕様に対応した半導体装置の高速動作を実現する。

【解決手段】 外部電源電圧に応じて異なる電源電圧が印加される複数種類のMOSトランジスタを形成するための複数の工程を有する半導体装置の製造方法において、前記複数の工程は、複数種類のMOSトランジスタに共通する第1工程と、第1工程に引き続く工程であって、複数種類のMOSトランジスタ毎に異なる第2工程と、第2工程に引き続く工程であって、複数種類のMOSトランジスタに共通する第3工程とからなる。

【選択図】 図23

出願人履歴情報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台4丁目6番地
氏 名 株式会社日立製作所